

Docket No.: 67161-074

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
Tsukasa OOISHI :
Serial No.: : Group Art Unit:
Filed: July 21, 2003 : Examiner:
For: THIN FILM MAGNETIC MEMORY DEVICE

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

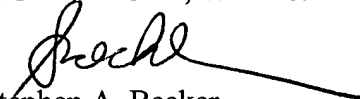
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-011939, filed January 21, 2003,

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:km
Facsimile: (202) 756-8087
CUSTOMER NUMBER 20277
Date: July 21, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

Tsukasa Ooishi
July 21, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 1月21日

出 願 番 号

Application Number:

特願2003-011939

[ST.10/C]:

[JP2003-011939]

出 願 人

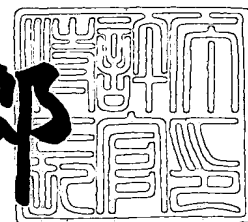
Applicant(s):

三菱電機株式会社

2003年 2月21日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3009160

【書類名】 特許願

【整理番号】 542942JP01

【提出日】 平成15年 1月21日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/105
G11C 11/15

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 大石 司

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜磁性体記憶装置

【特許請求の範囲】

【請求項 1】 半導体基板の主表面上で所定の間隔を隔てて設けられ、メモリ素子として動作する第 1 および第 2 の磁性体メモリセルと、

前記第 1 の磁性体メモリセルと交差するように一方向に延在し、前記第 1 の磁性体メモリセルに磁場を印加するための第 1 の配線と、

前記第 2 の磁性体メモリセルと交差するように前記第 1 の配線と平行に延在し、前記第 2 の磁性体メモリセルに磁場を印加するための第 2 の配線と、

前記第 1 の配線から前記第 2 の配線までの間を充填し、かつ前記第 1 および第 2 の配線と接触するように設けられた磁性体膜とを備える、薄膜磁性体記憶装置

【請求項 2】 前記第 1 および第 2 の配線は、半導体基板の主表面と前記第 1 および第 2 の磁性体メモリセルとの間に設けられている、請求項 1 に記載の薄膜磁性体記憶装置。

【請求項 3】 前記第 1 および第 2 の配線は、半導体基板の主表面と前記第 1 および第 2 の配線との間に前記第 1 および第 2 の磁性体メモリセルが位置するように設けられている、請求項 1 に記載の薄膜磁性体記憶装置。

【請求項 4】 前記磁性体膜は、前記第 1 および第 2 の配線が前記第 1 および第 2 の磁性体メモリセルと向い合う側のみを露出させるように前記第 1 および第 2 の配線を覆っている、請求項 1 から 3 のいずれか 1 項に記載の薄膜磁性体記憶装置。

【請求項 5】 前記磁性体膜は、前記第 1 および第 2 の配線が延在する方向に沿って延在しており、前記第 1 および第 2 の磁性体メモリセルと前記第 1 および第 2 の配線とがそれぞれ交差している領域が前記第 1 および第 2 の配線が延在する方向に延びる区間において前記磁性体膜は少なくとも延在している、請求項 1 から 4 のいずれか 1 項に記載の薄膜磁性体記憶装置。

【請求項 6】 前記磁性体膜は、マンガン、亜鉛および鉄からなる群より選ばれた少なくとも一種の元素の酸化物を含む、請求項 1 から 5 のいずれか 1 項に

記載の薄膜磁性体記憶装置。

【請求項 7】 半導体基板の主表面上で所定の間隔を隔てて設けられ、メモリ素子として動作する第 1 および第 2 の磁性体メモリセルと、

前記第 1 の磁性体メモリセルと交差するように一方向に延在し、前記第 1 の磁性体メモリセルに磁場を印加するための第 1 の配線と、

前記第 2 の磁性体メモリセルと交差するように前記第 1 の配線と平行に延在し、前記第 2 の磁性体メモリセルに磁場を印加するための第 2 の配線と、

前記第 1 の配線と前記第 2 の配線との間を充填する磁性体膜と、

前記第 1 の配線と前記磁性体膜との間および前記第 2 の配線と前記磁性体膜との間の各々に介在する絶縁体膜とを備える、薄膜磁性体記憶装置。

【請求項 8】 前記第 1 および第 2 の配線は、半導体基板の主表面と前記第 1 および第 2 の磁性体メモリセルとの間に設けられている、請求項 7 に記載の薄膜磁性体記憶装置。

【請求項 9】 前記第 1 および第 2 の配線は、半導体基板の主表面と前記第 1 および第 2 の配線との間に前記第 1 および第 2 の磁性体メモリセルが位置するように設けられている、請求項 7 に記載の薄膜磁性体記憶装置。

【請求項 10】 前記磁性体膜は、前記第 1 および第 2 の配線が前記第 1 および第 2 の磁性体メモリセルと向い合う側のみを露出させるように前記第 1 および第 2 の配線を覆っている、請求項 7 から 9 のいずれか 1 項に記載の薄膜磁性体記憶装置。

【請求項 11】 前記磁性体膜は、前記第 1 および第 2 の配線が延在する方向に沿って延在しており、前記第 1 および第 2 の磁性体メモリセルと前記第 1 および第 2 の配線とがそれぞれ交差している領域が前記第 1 および第 2 の配線が延在する方向に延びる区間において前記磁性体膜は少なくとも延在している、請求項 7 から 10 のいずれか 1 項に記載の薄膜磁性体記憶装置。

【請求項 12】 前記磁性体膜は、コバルト-鉄の合金、およびニッケル-鉄の合金の少なくとも一方を含む、請求項 7 から 11 のいずれか 1 項に記載の薄膜磁性体記憶装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、一般的には、薄膜磁性体記憶装置に関し、より特定的には、別々のメモリセルを構成する磁性体メモリセルの各々が近接して設けられた薄膜磁性体記憶装置に関する。

【 0 0 0 2 】

【従来の技術】

近年、次世代の半導体記憶装置として、MRAM (magnetic random access memory) が研究されている。MRAMのメモリセルアレイ構成としては、磁気トンネル接合 (MTJ ; magnetic tunnel junction) を含むTMR (tunneling magnetoresistive) 素子と1つのトランジスタとからなる、いわゆる1トランジスタ1MTJ型が例として挙げられる。このようなMRAMのメモリセルでは、TMR素子の下方に絶縁体膜を介してディジット線が延在している。また、TMR素子の頂面に接触するようにビット線がディジット線に交差して延在している。そして、ディジット線およびビット線に電流を流すことによって発生する磁場を用いて、TMR素子の磁気トンネル接合を構成するフリー層としての強磁性体層の磁化方向を変更しメモリセルのデータの書き換えを行なっている。

【 0 0 0 3 】

しかし、互いに独立したメモリセルを構成するTMR素子の各々は、MRAMの小型化を図るために近接して設けられている。このため、1つのメモリセルを構成するTMR素子において所定の磁場を発生させようとディジット線およびビット線に電流を流すと、そのTMR素子に隣接する別のTMR素子においても予定しない磁場を発生させてしまうという問題が生じる。

【 0 0 0 4 】

また、書き込み時の消費電力を低減させることを目的とした磁気記憶装置が特開 2 0 0 2 - 1 1 0 9 3 8 号公報に開示されている (特許文献 1)。特許文献 1 に開示されている磁気記憶装置は、MRAMであって、磁気記憶素子とトランジスタとから構成されている。磁気記憶素子は、直交する配線と、その配線の各々が交差する部分に位置する強磁性 2 重トンネル接合とを備える。直交する配線の

各々には、配線が強磁性 2 重トンネル接合に向い合う側を露出させ、その反対側および配線の側面を覆う磁性膜が設けられている。

【0 0 0 5】

このような構成の磁気記憶装置によれば、隣り合う 2 つの記憶セルの一方に書き込み用の磁界を印加した場合に、その磁界が他方の記憶セルに与える影響を低減することができる。これにより、隣り合う 2 つの記憶セルで発生するクロストークを有効に防止することができる。

【0 0 0 6】

【特許文献 1】

特開 2 0 0 2 - 1 1 0 9 3 8 号公報

【0 0 0 7】

【発明が解決しようとする課題】

特許文献 1 に開示された磁気記憶装置では、配線を磁性体で覆うことによって磁性体をクロストークの発生を抑制するためのシールドとして利用している。配線を磁性膜で覆うためには、まず層間絶縁膜に溝を形成し、この溝に磁性体を埋め込む。続いて、再度磁性体に配線用の溝を形成し、配線用の導電体膜を埋め込む。また、別の製造方法としては、層間絶縁膜に配線用の溝を形成し、この配線用の溝に磁性体と導電体膜とを一度に埋め込む。

【0 0 0 8】

しかし、層間絶縁膜に溝を形成するピッチは、溝を形成するためのフォトリソグラフィ工程上の制約から一定以上に小さくすることができない。一方、半導体装置の微細化が求められる今日において、溝を形成するピッチをできる限り小さくする必要がある。これらの理由から、層間絶縁膜に形成する溝のピッチは所定の値に決定されている。

【0 0 0 9】

このような状況下において、配線を磁性体で覆おうとすると磁性体の厚みが必要となるため、磁性体の厚みだけ配線の幅が小さくなる。また、配線の下方面にある構造物から配線用の溝が形成される高さが決定される場合、同様に磁性体の厚みだけ配線の高さが小さくなる。このように、配線の幅および高さが小さくなっ

た場合、配線の断面積が小さくなり配線の抵抗が増大する。この配線抵抗の増大は、ディジット線およびビット線に流す磁場発生用の電流を阻害し、TMR素子において十分な磁場を発生できなくなるという問題が発生する。

【0010】

また、配線を磁性膜で覆うため層間絶縁膜に2度溝を形成する製造方法を採用した場合、フォトリソグラフィの露光工程を2度行なう必要が生じる。このためマスクずれが生じ、配線の場所によって磁性体からなるシールドの厚みが異なるという問題が発生する。また、磁性体と導電体膜とを一度に埋め込む製造方法を採用した場合には、最初に埋め込む磁性体の厚みのばらつきによって配線の厚みが不揃いになるとともに、配線を所定の位置に形成できないという問題が発生する。

【0011】

そこでこの発明の目的は、上記の課題を解決することであり、隣接するメモリセル間で発生するクロストークを抑制するとともに、配線抵抗が増大することのない薄膜磁性体記憶装置を提供することである。

【0012】

【課題を解決するための手段】

この発明に従った薄膜磁性体記憶装置は、半導体基板の主表面上で所定の間隔を隔てて設けられ、メモリ素子として動作する第1および第2の磁性体メモリセルと、第1の磁性体メモリセルと交差するように一方向に延在し、第1の磁性体メモリセルに磁場を印加するための第1の配線と、第2の磁性体メモリセルと交差するように第1の配線と平行に延在し、第2の磁性体メモリセルに磁場を印加するための第2の配線と、第1の配線から第2の配線までの間を充填し、かつ第1および第2の配線と接触するように設けられた磁性体膜とを備える。

【0013】

【発明の実施の形態】

この発明の実施の形態について、図面を参照して説明する。

【0014】

（実施の形態1）

図1は、この発明の実施の形態1における薄膜磁性体記憶装置を示す断面図で

ある。図 1 は薄膜磁性体記憶装置のメモリセル領域を示しており、M R A M (magnetic random access memory) のメモリセルが 2 つ形成されている。

【0015】

図 1 を参照して、シリコン基板 1 の主表面 1 a には、ソース／ドレイン領域 2 a から 2 d が形成されている。ソース／ドレイン領域 2 a および 2 b の間に位置するシリコン基板 1 上には、図示しないゲート絶縁膜を介してゲート電極 3 a が形成されている。ソース／ドレイン領域 2 a および 2 b、ゲート電極 3 a ならびにゲート絶縁膜から 1 つの電界効果トランジスタが形成されている。同様に、ソース／ドレイン領域 2 c および 2 d の間に位置するシリコン基板 1 上には、図示しないゲート絶縁膜を介してゲート電極 3 b が形成されている。ソース／ドレイン領域 2 c および 2 d、ゲート電極 3 b ならびにゲート絶縁膜から別の電界効果トランジスタが形成されている。ゲート電極 3 a および 3 b は、ポリシリコン、ポリシリコンと C o S i との積層膜、または W S i などから形成されている。

【0016】

シリコン基板 1 の主表面 1 a ならびにゲート電極 3 a および 3 b を覆うようにシリコン酸化膜からなる層間絶縁膜 4 が形成されている。層間絶縁膜 4 には、ソース／ドレイン領域 2 a から 2 d にそれぞれ達するコンタクトホール 5 a から 5 d が形成されている。ソース／ドレイン領域 2 a から 2 d が、コンタクトホール 5 a から 5 d の底面を規定している。コンタクトホール 5 b および 5 c は、層間絶縁膜 4 の頂面側において図 1 の紙面に対して垂直方向に延在するように形成されている。

【0017】

コンタクトホール 5 a から 5 d の内壁を覆うように、バリアメタル膜 6 a から 6 d が形成されている。バリアメタル膜 6 a から 6 d は、窒化チタン (T i N) または窒化タンタル (T a N) などのバリアメタルから形成されている。バリアメタル膜 6 a から 6 d 上には、コンタクトホール 5 a から 5 d の内部を完全に充填するようにコンタクトプラグ 7 a から 7 d が形成されている。コンタクトプラグ 7 a から 7 d は、銅 (C u)、アルミニウム (A l)、タングステン (W) またはチタン (T i) などの導電性材料から形成されている。

【 0 0 1 8 】

層間絶縁膜 4 上には、シリコン酸化膜からなる層間絶縁膜 8 が形成されている。層間絶縁膜 8 には、コンタクトプラグ 7 a およびバリアメタル膜 6 a に達するコンタクトホール 9 a が形成されている。層間絶縁膜 8 には、コンタクトプラグ 7 d およびバリアメタル膜 6 d に達するコンタクトホール 9 d が形成されている。層間絶縁膜 8 の頂面側には、コンタクトホール 9 a および 9 d のそれぞれに連通し、コンタクトホール 9 a および 9 d よりも大きい径を有するコンタクトホール 3 9 a および 3 9 d が形成されている。

【 0 0 1 9 】

コンタクトホール 9 a および 9 d とコンタクトホール 3 9 a および 3 9 d との内壁をそれぞれ覆うように、バリアメタル膜 1 1 a および 1 1 d が形成されている。バリアメタル膜 1 1 a および 1 1 d は、窒化チタンまたは窒化タンタルなどのバリアメタルから形成されている。バリアメタル膜 1 1 a および 1 1 d 上には、コンタクトホール 9 a および 9 d とコンタクトホール 3 9 a および 3 9 d との内部を完全に充填するようにコンタクトプラグ 1 2 a および 1 2 d が形成されている。コンタクトプラグ 1 2 a および 1 2 d は、銅、アルミニウム、タングステンまたはチタンなどの導電性材料から形成されている。

【 0 0 2 0 】

コンタクトプラグ 7 b および 7 c の上方に位置する層間絶縁膜 8 の部分には、シールド用溝 2 2 が形成されている。シールド用溝 2 2 は、図 1 の紙面に対して垂直方向に延在している。シールド用溝 2 2 の内壁は層間絶縁膜 8 によって規定されている。シールド用溝 2 2 の内壁を覆うように磁性体膜 1 6 が形成されている。シールド用溝 2 2 の内部には、磁性体膜 1 6 によってさらに溝 4 2 が規定されている。

【 0 0 2 1 】

溝 4 2 の内部には、溝 4 2 a の向い合う側壁の各々に接触するように磁性体膜 1 5 a および 1 5 c が所定の間隔を隔てて形成されている。磁性体膜 1 5 a と磁性体膜 1 5 c との間には、磁性体膜 1 5 b が磁性体膜 1 5 a および 1 5 c と間隔を隔てて形成されている。層間絶縁膜 8 の頂面と、磁性体膜 1 6 および 1 5 a か

ら 1 5 c の頂面とは同一平面上に形成されている。磁性体膜 1 6 および 1 5 a から 1 5 c は、マンガン (Mn)、亜鉛 (Zn)、または鉄 (Fe) の酸化物からなる磁性体材料によって形成されている。これらの材料から形成された磁性体膜は、比透磁率が数千、比電気抵抗が 10^8 から 10^{12} ($\mu\Omega \cdot \text{cm}$) という物性値を示す。

【0022】

磁性体膜 1 5 a と磁性体膜 1 5 b との間、および磁性体膜 1 5 b と磁性体膜 1 5 c との間にはそれぞれ、シリコン酸化膜からなる絶縁体膜 3 8 a および 3 8 b が形成されている。絶縁体膜 3 8 a および 3 8 b の頂面は、層間絶縁膜 8 の頂面よりも低い位置に形成されている。磁性体膜 1 5 a および 1 5 b の側壁と絶縁体膜 3 8 a の頂面とによって配線用溝 2 3 a が規定されている。同様に、磁性体膜 1 5 b および 1 5 c の側壁と絶縁体膜 3 8 b の頂面とによって配線用溝 2 3 b が規定されている。

【0023】

配線用溝 2 3 a および 2 3 b の内壁を覆うように、バリアメタル膜 1 8 a および 1 8 b が形成されている。バリアメタル膜 1 8 a および 1 8 b は、窒化チタンまたは窒化タンタルなどのバリアメタルから形成されている。バリアメタル膜 1 8 a および 1 8 b 上には、配線用溝 2 3 a および 2 3 b の内部を完全に充填するように導電体膜 1 7 a および 1 7 b が形成されている。導電体膜 1 7 a および 1 7 b の頂面と層間絶縁膜 8 の頂面とは、同一平面上に形成されている。導電体膜 1 7 a および 1 7 b は、銅、アルミニウム、タングステンまたはチタンなどの導電性材料から形成されている。配線用溝 2 3 a および 2 3 b のそれぞれの内部に形成されたバリアメタル膜 1 8 a および導電体膜 1 7 a とバリアメタル膜 1 8 b および導電体膜 1 7 b とは、MRAM のメモリセルにおける第 1 のディジット線と第 2 のディジット線とを構成している。

【0024】

第 1 および第 2 のディジット線が向い合う側の第 1 および第 2 のディジット線の側壁は、磁性体膜 1 5 b に接触している。磁性体膜 1 5 b は、第 1 のディジット線から第 2 のディジット線までの間を充填している。シリコン基板 1 の主表面

1 a から磁性体膜 1 5 b の底面までの距離は、シリコン基板 1 の主表面 1 a から第 1 および第 2 のディジット線の底面までの距離よりも小さい。シリコン基板 1 の主表面 1 a から磁性体膜 1 5 b の頂面までの距離は、シリコン基板 1 の主表面 1 a から第 1 および第 2 のディジット線の頂面までの距離と等しい。磁性体膜 1 6 および 1 5 a から 1 5 c は、第 1 および第 2 のディジット線の頂面のみを露出させるように第 1 および第 2 のディジット線を覆っている。

【0025】

層間絶縁膜 8 上には、シリコン酸化膜からなる層間絶縁膜 1 9 が形成されている。層間絶縁膜 1 9 には、コンタクトプラグ 1 2 a および 1 2 d にそれぞれ達するコンタクトホール 2 1 a および 2 1 b が形成されている。コンタクトホール 2 1 a および 2 1 b の内部を充填し層間絶縁膜 1 9 の頂面を一部覆うようにして、ストラップ 2 0 a および 2 0 b が形成されている。ストラップ 2 0 a とストラップ 2 0 b とは分離して形成されている。ストラップ 2 0 a および 2 0 b は、銅またはタンタルなどの導電性材料から形成されている。

【0026】

ストラップ 2 0 a および 2 0 b の一方端は、層間絶縁膜 1 9 の頂面上で第 1 および第 2 のディジット線の上方まで延在している。ストラップ 2 0 a および 2 0 b の他方端は、コンタクトホール 2 1 a および 2 1 b の内部でコンタクトプラグ 1 2 a および 1 2 b の頂面にそれぞれ接触しており、シリコン基板 1 上に形成された前述の電界効果トランジスタに電氣的に接続されている。

【0027】

ストラップ 2 0 a および 2 0 b の頂面上には、第 1 および第 2 のディジット線の上方に位置して TMR 素子 2 4 a および 2 4 b が形成されている。TMR 素子 2 4 a および 2 4 b は、磁気トンネル接合を含む磁性体メモリセルである。ストラップ 2 0 a および 2 0 b から露出した層間絶縁膜 1 9 の頂面とストラップ 2 0 a および 2 0 b とを覆うように、シリコン酸化膜からなる層間絶縁膜 2 5 が形成されている。層間絶縁膜 2 5 の頂面と TMR 素子 2 4 a および 2 4 b の頂面とは同一平面に形成されている。つまり、TMR 素子 2 4 a および 2 4 b は、層間絶縁膜 2 5 に埋設された状態で形成されているが、TMR 素子 2 4 a および 2 4 b

の頂面は層間絶縁膜 2 5 から露出している。

【 0 0 2 8 】

層間絶縁膜 2 5 上には、シリコン酸化膜からなる図示しない層間絶縁膜 5 9 が形成されている。層間絶縁膜 5 9 には、層間絶縁膜 2 5 の頂面によって底面が規定され、第 1 および第 2 のディジット線が延在する方向に垂直な方向に延在する配線用溝 3 6 が形成されている。配線用溝 3 6 は、TMR 素子 2 4 a および 2 4 b の頂面上に形成されている。

【 0 0 2 9 】

配線用溝 3 6 の内壁を覆うように、バリアメタル膜 2 6 が形成されている。バリアメタル膜 2 6 は、TMR 素子 2 4 a および 2 4 b の頂面と接触している。バリアメタル膜 2 6 は、窒化チタンまたは窒化タンタルなどのバリアメタルから形成されている。バリアメタル膜 2 6 上には、配線用溝 3 6 の内部を完全に充填するように導電体膜 2 7 が形成されている。導電体膜 2 7 は、銅、アルミニウム、タングステンまたはチタンなどの導電性材料から形成されている。配線用溝 3 6 の内部に形成されたバリアメタル膜 2 6 および導電体膜 2 7 は、MRAM のメモリセルにおけるビット線を構成している。

【 0 0 3 0 】

つまり、導電体膜 1 7 a およびバリアメタル膜 1 8 a と導電体膜 1 7 b およびバリアメタル膜 1 8 b とからそれぞれ構成される第 1 および第 2 のディジット線と、導電体膜 2 7 およびバリアメタル膜 2 6 から構成されるビット線とが、TMR 素子 2 4 a および 2 4 b を挟んで直角に交差している。そして、第 1 および第 2 のディジット線とビット線とが交差する位置に TMR 素子 2 4 a および 2 4 b が形成されている。

【 0 0 3 1 】

層間絶縁膜 5 9 上には、シリコン酸化膜からなる層間絶縁膜 2 8 が形成されている。層間絶縁膜 2 8 の頂面側には、配線用溝 2 9 a および 2 9 b が形成されている。配線用溝 2 9 a および 2 9 b は、図 1 の紙面に対して垂直方向に延在している。配線用溝 2 9 a および 2 9 b の内壁を覆うように、バリアメタル膜 3 0 a および 3 0 b が形成されている。バリアメタル膜 3 0 a および 3 0 b は、窒化チ

タンまたは窒化タンタルなどのバリアメタルから形成されている。バリアメタル膜 3 0 a および 3 0 b 上には、配線用溝 2 9 a および 2 9 b の内部を完全に充填するように導電体膜 3 1 a および 3 1 b が形成されている。導電体膜 3 1 a および 3 1 b は、銅、アルミニウム、タングステンまたはチタンなどの導電性材料から形成されている。

【 0 0 3 2 】

層間絶縁膜 2 8 上には、シリコン酸化膜からなる層間絶縁膜 3 2 が形成されている。層間絶縁膜 3 2 の頂面側には、配線用溝 2 9 a および 2 9 b が延在する方向に直角方向に延在する配線用溝 3 5 が形成されている。配線用溝 3 5 の内壁を覆うようにバリアメタル膜 3 3 が形成されている。バリアメタル膜 3 3 は、窒化チタンまたは窒化タンタルなどのバリアメタルから形成されている。バリアメタル膜 3 3 上には、配線用溝 3 5 の内部を完全に充填するように導電体膜 3 4 が形成されている。導電体膜 3 4 は、銅、アルミニウム、タングステンまたはチタンなどの導電性材料から形成されている。

【 0 0 3 3 】

図 1 に示されている M R A M の 1 つのメモリセルは、ワード線としてのゲート電極 3 a、図示しないゲート絶縁膜、ならびにソース／ドレイン領域 2 a および 2 b からなる電界効果トランジスタと、この電界効果トランジスタに電氣的に接続されたストラップ 2 0 a と、ストラップ 2 0 a の頂面に接触して形成された T M R 素子 2 4 a と、T M R 素子 2 4 a の下方で延在し、導電体膜 1 7 a およびバリアメタル膜 1 8 a からなる第 1 のディジット線と、T M R 素子 2 4 a の頂面に接触して延在する導電体膜 2 7 およびバリアメタル膜 2 6 からなるビット線とによって構成されている。

【 0 0 3 4 】

また、図 1 に示されている M R A M の別のメモリセルは、ワード線としてのゲート電極 3 b、図示しないゲート絶縁膜、ならびにソース／ドレイン領域 2 c および 2 d からなる電界効果トランジスタと、この電界効果トランジスタに電氣的に接続されたストラップ 2 0 b と、ストラップ 2 0 b の頂面に接触して形成された T M R 素子 2 4 b と、T M R 素子 2 4 b の下方で延在し、導電体膜 1 7 b およ

びバリアメタル膜 1 8 b からなる第 2 のディジット線と、TMR 素子 2 4 b の頂面に接触して延在する導電体膜 2 7 およびバリアメタル膜 2 6 からなるビット線とによって構成されている。

【 0 0 3 5 】

図 2 は、図 1 中の薄膜磁性体記憶装置を示す平面図である。図 1 では特に、ビット線およびディジット線と、TMR 素子 2 4 a および 2 4 b と、磁性体膜 1 6 および 1 5 a から 1 5 c とを示している。図 1 は、図 2 中の I - I 線上に沿った断面図である。

【 0 0 3 6 】

図 2 を参照して、導電体膜 2 7 およびバリアメタル膜 2 6 から構成されるビット線が複数本所定の間隔を隔てて一方向に延在している。導電体膜 1 7 a およびバリアメタル膜 1 8 a から構成される第 1 のディジット線と導電体膜 1 7 b およびバリアメタル膜 1 8 b から構成される第 2 のディジット線とが所定の間隔を隔ててビット線が延在する方向に垂直方向に延在している。TMR 素子 2 4 a および 2 4 b が、ビット線と第 1 および第 2 のディジット線とが交差する位置にマトリックス状に配置されている。磁性体膜 1 6 および 1 5 a から 1 5 c は、第 1 および第 2 のディジット線が延在する方向に沿って形成されている。磁性体膜 1 6 および 1 5 a から 1 5 c は、TMR 素子 2 4 a および 2 4 b と第 1 および第 2 のディジット線とが交差する領域 5 1 が第 1 および第 2 のディジット線が延在する方向に延びる区間 5 0 において延在している。さらに、磁性体膜 1 6 および 1 5 a から 1 5 c は、複数の区間 5 0 にまたがって延在している。

【 0 0 3 7 】

図 1 および図 2 を参照して、シリコン基板 1 上に形成された電界効果トランジスタによって MRAM の所定のメモリセルを選択する。そして、上述のワード線、ビット線およびディジット線に適宜電流を流すことによって、データの書き換えまたは読み出しを行なう。

【 0 0 3 8 】

より詳細に説明すれば、所定のビット線およびディジット線に電流を流すことによって、そのビット線およびディジット線が交差する領域に設けられた TMR

素子に磁場を発生させる。これにより、TMR素子の磁気トンネル接合を構成する強磁性体層の磁化方向を変更し、TMR素子を通過する電流の抵抗値を変動させることができる（トンネル磁気抵抗効果）。このトンネル磁気抵抗効果を利用してデータの書き換えまたは読み出しを行なうことができる。

【0039】

この発明の実施の形態1に従った薄膜磁性体記憶装置は、半導体基板としてのシリコン基板1の主表面1a上で所定の間隔を隔てて設けられ、メモリ素子として動作する第1および第2の磁性体メモリセルとしてのTMR素子24aおよび24bと、TMR素子24aと交差するように一方向に延在し、TMR素子24aに磁場を印加するための第1の配線としての導電体膜17aおよびバリアメタル膜18aから構成される第1のディジット線と、TMR素子24bと交差するように第1のディジット線と平行に延在し、TMR素子24bに磁場を印加するための第2の配線としての導電体膜17bおよびバリアメタル膜18bから構成される第2のディジット線と、第1のディジット線から第2のディジット線までの間を充填し、かつ第1および第2のディジット線と接触するように設けられた磁性体膜15bとを備える。第1および第2のディジット線は、シリコン基板1の主表面1aとTMR素子24aおよび24bとの間に設けられている。

【0040】

磁性体膜16および15aから15cは、第1および第2のディジット線がTMR素子24aおよび24bと向い合う側のみを露出させるように第1および第2のディジット線を覆っている。

【0041】

磁性体膜16および15aから15cは、第1および第2のディジット線が延在する方向に沿って延在しており、TMR素子24aおよび24bと第1および第2のディジット線とがそれぞれ交差している領域51が第1および第2のディジット線が延在する方向に延びる区間50において磁性体膜16および15aから15cは少なくとも延在している。

【0042】

磁性体膜16および15aから15cは、マンガン、亜鉛および鉄からなる群

より選ばれた少なくとも一種の元素の酸化物を含む。

【0043】

以下、図1中に示す薄膜磁性体記憶装置の周辺またはロジック部の構造について簡単に説明する。図27は、図1中に示す薄膜磁性体記憶装置の製造方法の工程を示す断面図である。図27は、薄膜磁性体記憶装置のメモリセル領域101（図1の断面図に示す領域）と、メモリセル領域101以外の周辺またはロジック部102とを示している。図27を参照して、メモリセル領域101と周辺またはロジック部102とは併設し、同一のレイヤーに位置する同一構造物は同時に製造されている。

【0044】

図27中の周辺またはロジック部102を参照して、シリコン基板1上には、周辺回路またはロジック回路を構成する電界効果トランジスタが形成されている。この電界効果トランジスタは、シリコン基板1の主表面1aに形成されたソース／ドレイン領域2eおよび2fと、シリコン基板1上に形成された図示しないゲート絶縁膜およびゲート電極3cとによって構成されている。

【0045】

シリコン基板1上には、コンタクトホール5eおよび5fが形成された層間絶縁膜4が設けられている。コンタクトホール5eおよび5fの内部には、バリアメタル膜6eおよび6fと、コンタクトプラグ7eおよび7fとが形成されている。層間絶縁膜4上には、コンタクトホール9eおよび配線用溝39eが形成された層間絶縁膜8が設けられている。コンタクトホール9eおよび配線用溝39eの内部には、周辺またはロジック部102において配線を構成するバリアメタル膜11eおよびコンタクトプラグ12eが形成されている。このように、周辺またはロジック部102においては配線を覆う磁性体膜が形成されていない。

【0046】

層間絶縁膜8上には、シリコン酸化膜からなる層間絶縁膜60が形成されている。層間絶縁膜60の頂面側には、メモリセル領域101の配線用溝36と同一レイヤーにおいて配線用溝61が形成されている。配線用溝61の内部には、バリアメタル膜62および導電体膜63が形成されている。

【 0 0 4 7 】

図 3 から図 2 8 は、図 1 中に示す薄膜磁性体記憶装置の製造方法の工程を示す断面図である。図 3 から図 2 8 および図 1 を用いて、図 1 中に示す薄膜磁性体記憶装置の製造方法について説明する。以下に説明する製造工程では、層間絶縁膜の形成とデュアルダマシンプロセスとを順次繰り返すことによって、各々の層間絶縁膜に配線層を形成している。

【 0 0 4 8 】

図 3 を参照して、シリコン基板 1 の主表面 1 a 上に図示しないゲート絶縁膜と所定形状にパターニングされたゲート電極 3 a および 3 b とを順次形成する。ゲート電極 3 a および 3 b をマスクとして、シリコン基板 1 の主表面 1 a に不純物を注入することによって、ソース／ドレイン領域 2 a から 2 d を形成する。

【 0 0 4 9 】

シリコン基板 1 の主表面 1 a ならびにゲート電極 3 a および 3 b を覆うようにシリコン酸化膜を堆積することによって層間絶縁膜 4 を形成する。層間絶縁膜 4 に所定のフォトリソグラフィ工程およびエッチング工程を施すことによって、ソース／ドレイン領域 2 a から 2 d にそれぞれ達するコンタクトホール 5 a から 5 d を形成する。コンタクトホール 5 a から 5 d の内部および層間絶縁膜 4 の頂面上にバリアメタルおよび導電性材料を順次堆積する。その後、化学的機械研磨法 (CMP ; Chemical Mechanical Polishing) によって、このバリアメタルおよび導電性材料を層間絶縁膜 4 の頂面が露出するまで除去するとともに、コンタクトホール 5 a から 5 d にバリアメタルおよび導電性材料を残存させる。これにより、コンタクトホール 5 a から 5 d の内部にバリアメタル膜 6 a から 6 d とコンタクトプラグ 7 a から 7 d とを形成する。

【 0 0 5 0 】

図 4 を参照して、層間絶縁膜 4 上にシリコン酸化膜を堆積することによって層間絶縁膜 8 を形成する。層間絶縁膜 8 上に所定形状の開口パターンを有するレジスト膜 5 2 を形成する。

【 0 0 5 1 】

図 5 を参照して、レジスト膜 5 2 をマスクとして、層間絶縁膜 8 にエッチング

を行なうことによってシールド用溝 2 2 を形成する。その後、レジスト膜 5 2 を除去する。

【 0 0 5 2 】

図 6 を参照して、磁性体膜 1 6 を形成するために、シールド用溝 2 2 の内壁および層間絶縁膜 8 の頂面を覆うように磁性体材料を堆積する。続いて、シールド用溝 2 2 を完全に充填するように絶縁体膜 3 8 となるシリコン酸化膜を堆積する。図 7 を参照して、化学的機械研磨法により、この磁性体材料およびシリコン酸化膜を層間絶縁膜 8 の頂面が露出するまで除去する。

【 0 0 5 3 】

図 8 を参照して、層間絶縁膜 8 上に所定形状の開口パターンを有するレジスト膜 5 3 を形成する。図 9 を参照して、レジスト膜 5 3 をマスクとして層間絶縁膜 8 および絶縁体膜 3 8 にエッチングを行なうことによって、配線用溝 2 3 a および 2 3 b とコンタクトホール 3 9 a および 3 9 d とを形成する。その後、レジスト膜 5 3 を除去する。

【 0 0 5 4 】

図 1 0 を参照して、層間絶縁膜 8 上にコンタクトホール 3 9 a および 3 9 b の底面に達する開口を有するレジスト膜 5 4 を形成する。図 1 1 を参照して、レジスト膜 5 4 をマスクとして層間絶縁膜 8 にエッチングを行なうことによって、コンタクトホール 9 a および 9 d を形成する。その後、レジスト膜 5 4 を除去する。

【 0 0 5 5 】

図 1 2 を参照して、コンタクトホール 9 a および 3 9 a、コンタクトホール 9 d および 3 9 d、ならびに配線用溝 2 3 a および 2 3 b の内部および層間絶縁膜 8 の頂面上にバリアメタルおよび導電性材料を順次堆積する。その後、化学的機械研磨法により、このバリアメタルおよび導電性材料を層間絶縁膜 8 の頂面が露出するまで除去するとともに、コンタクトホール 9 a および 3 9 a、コンタクトホール 9 d および 3 9 d、ならびに配線用溝 2 3 a および 2 3 b にバリアメタルおよび導電性材料を残存させる。これにより、コンタクトホール 9 a および 3 9 a の内部にバリアメタル膜 1 1 a およびコンタクトプラグ 1 2 a を、コンタクト

ホール 9 d および 3 9 d の内部にバリアメタル膜 1 1 d およびコンタクトプラグ 1 2 d を形成する。また、配線用溝 2 3 a の内部にバリアメタル膜 1 8 a および導電体膜 1 7 a を、配線用溝 2 3 b の内部にバリアメタル膜 1 8 b および導電体膜 1 7 b を形成する。

【 0 0 5 6 】

図 1 4 を参照して、層間絶縁膜 8 上に、シールド用溝 2 2 を露出させる開口を有するレジスト膜 5 7 を形成する。図 1 5 を参照して、レジスト膜 5 7 をマスクとして絶縁体膜 3 8 にエッチングを行なう。この際、シリコン酸化膜である絶縁体膜 3 8 に行なうエッチングに対して、バリアメタル膜 1 8 a および 1 8 b ならびに導電体膜 1 7 a および 1 7 b はマスクとして作用する。これにより、絶縁体膜 3 8 の一部を除去するとともに、バリアメタル膜 1 8 a および 1 8 b ならびに導電体膜 1 7 a および 1 7 b の下方に位置する絶縁体膜 3 8 を残存させることによって、溝 4 2 の内部には絶縁体膜 3 8 a および 3 8 b を形成する。その後、レジスト膜 5 7 を除去する。

【 0 0 5 7 】

図 1 6 を参照して、溝 4 2 の内部を充填し層間絶縁膜 8 の頂面を覆うように磁性体材料 1 5 を堆積する。図 1 7 を参照して、化学的機械研磨法により、この磁性体材料 1 5 を層間絶縁膜 8 の頂面が露出するまで除去するとともに、溝 4 2 の内部に磁性体材料 1 5 を残存させることによって磁性体膜 1 5 a から 1 5 c を形成する。

【 0 0 5 8 】

図 1 8 を参照して、層間絶縁膜 8 上にシリコン酸化膜を堆積することによって層間絶縁膜 1 9 を形成する。層間絶縁膜 1 9 上に、所定形状の開口パターンを有するレジスト膜 5 8 を形成する。

【 0 0 5 9 】

図 1 9 を参照して、レジスト膜 5 8 をマスクとして層間絶縁膜 1 9 にエッチングを行なうことによって、コンタクトホール 2 1 a および 2 1 b を形成する。その後、レジスト膜 5 8 を除去する。

【 0 0 6 0 】

図 2 0 を参照して、コンタクトホール 2 1 a および 2 1 b の内部を充填し層間絶縁膜 1 9 の頂面を覆うように導電性材料 2 0 を堆積する。図 2 1 を参照して、所定のフォトリソグラフィ工程およびエッチング工程を行なうことによって、導電性材料 2 0 をパターンニングし、ストラップ 2 0 a および 2 0 b を形成する。

【 0 0 6 1 】

図 2 2 を参照して、ストラップ 2 0 a および 2 0 b 上に所定の形状を有する TMR 素子 2 4 a および 2 4 b を形成する。この際、メモリセル領域 1 0 1 以外の周辺またはロジック部 1 0 2 (図 2 7 を参照のこと) に TMR 素子を形成する積層膜を残存させることによって TMR ダミー素子を形成しても良い。

【 0 0 6 2 】

図 2 3 を参照して、ストラップ 2 0 a および 2 0 b、TMR 素子 2 4 a および 2 4 b ならびにストラップ 2 0 a および 2 0 b から露出した層間絶縁膜 1 9 の頂面を覆うようにシリコン酸化膜を堆積することによって層間絶縁膜 2 5 を形成する。

【 0 0 6 3 】

図 2 4 を参照して、化学的機械研磨法により、層間絶縁膜 2 5 を TMR 素子 2 4 a および 2 4 b の頂面が露出するまで除去する。この際、図 2 2 に示す工程において、メモリセル領域 1 0 1 以外の周辺またはロジック部 1 0 2 (図 2 7 を参照のこと) に TMR ダミー素子を形成しておけば、メモリセル領域 1 0 1 と周辺またはロジック部 1 0 2 との間で層間絶縁膜 2 5 を研磨する速度をほぼ等しくすることができる。このため、メモリセル領域 1 0 1 と周辺またはロジック部 1 0 2 との間で段差が発生することを抑制できる。

【 0 0 6 4 】

図 2 5 を参照して、層間絶縁膜 2 5 上にシリコン酸化膜を堆積することによって層間絶縁膜 5 9 を形成する。層間絶縁膜 5 9 に所定のフォトリソグラフィ工程およびエッチング工程を行なうことによって配線用溝 3 6 を形成する。図 2 6 を参照して、バリアメタル膜 2 6 および導電体膜 2 7 を形成するため、配線用溝 3 6 の内部および層間絶縁膜 5 9 の頂面上にバリアメタルおよび導電性材料を順次堆積する。

【 0 0 6 5 】

図 2 7 中のメモリセル領域 1 0 1 を参照して、化学的機械研磨法により、バリアメタルおよび導電性材料を層間絶縁膜 5 9 の頂面が露出するまで除去するとともに、配線用溝 3 6 にバリアメタルおよび導電性材料を残存させる。これにより、配線用溝 3 6 の内部にビット線を構成するバリアメタル膜 2 6 および導電体膜 2 7 を形成する。

【 0 0 6 6 】

図 2 8 を参照して、層間絶縁膜 5 9 上にシリコン酸化膜を堆積することによって層間絶縁膜 2 8 を形成する。層間絶縁膜 2 8 に所定のフォトリソグラフィ工程およびエッチング工程を施すことによって、配線用溝 2 9 a および 2 9 b を形成する。その後、配線用溝 2 9 a および 2 9 b の内部に配線を構成するバリアメタル膜 3 0 a および導電体膜 3 1 a とバリアメタル膜 3 0 b および導電体膜 3 1 b とをそれぞれ形成する。

【 0 0 6 7 】

図 1 を参照して、層間絶縁膜 2 8 上にシリコン酸化膜を堆積することによって層間絶縁膜 3 2 を形成する。層間絶縁膜 3 2 に所定のフォトリソグラフィ工程およびエッチング工程を施すことによって配線用溝 3 5 を形成する。その後、配線用溝 3 5 の内部に配線を構成するバリアメタル膜 3 3 および導電体膜 3 4 を形成する。以上の工程により、図 1 中に示す薄膜磁性体記憶装置が完成する。

【 0 0 6 8 】

このように構成された薄膜磁性体記憶装置によれば、導電体膜 1 7 a およびバリアメタル膜 1 8 a から構成される第 1 のディジット線と導電体膜 1 7 b およびバリアメタル膜 1 8 b から構成される第 2 のディジット線との間に磁性体膜 1 5 b が形成されている。また、磁性体膜 1 6 および 1 5 a から 1 5 c は第 1 および第 2 のディジット線の各々を覆っている。このため、電流を流すことによって第 1 および第 2 のディジット線を中心に描かれる磁力線が磁性体膜に吸収される。これにより、第 1 のディジット線に電流を流すことによって発生する磁場が TMR 素子 2 4 b に与える影響を抑制することができる。同様に、第 2 のディジット線に電流を流すことによって発生する磁場が TMR 素子 2 4 a に与える影響を抑

制することができる。

【0069】

一方で、第1のディジット線がTMR素子24aに向い合う側および第2のディジット線がTMR素子24bに向い合う側は、磁性体膜16および15aから15cによって覆われていない。このため、第1のディジット線に電流を流すことによってTMR素子24aに所定の磁場を確実に印加することができ、第2のディジット線に電流を流すことによってTMR素子24bに所定の磁場を確実に印加することができる。

【0070】

以上の理由から、TMR素子24aおよび24bをそれぞれ備えるメモリセル間で発生するクロストークを抑制するとともに、ディジット線に電流を流すことによって所定のTMR素子に磁場を印加することができる。これにより、信頼性の高い薄膜磁性体記憶装置を実現することができる。なお、隣接するメモリセル間で発生するクロストークを十分に抑制するためには、磁性体膜の厚みが50nm以上であることが好ましい。

【0071】

また、第1のディジット線と第2のディジット線との間に位置する磁性体膜15bを形成するために、図15に示す工程において第1および第2のディジット線をマスクとして利用することによって絶縁体膜38を除去し、その後、除去した部分に磁性体材料を充填している。これは、配線を磁性体材料で覆うという従来の技術とは異なり、ディジット線間に位置する層間絶縁膜を磁性体材料で構成するという新たな発想に基づくものである。

【0072】

このように第1および第2のディジット線をマスクとして利用できることから、フォトリソグラフィ工程上の制約を受けてディジット線の線幅が小さくなるという事態を回避できる。これにより、ディジット線の抵抗値が上昇することを抑制し、低電圧でも所望の磁場を発生させる電流を十分に流すことができる。また、磁性体膜を形成する際のマスクずれという問題も起こり得ないため、膜厚を均一かつ十分にして磁性体膜を形成することができる。

【 0 0 7 3 】

また、ディジット線を配置する場所全体に磁性体膜 1 6 および 1 5 a から 1 5 c を埋め込む構造を採るため、磁性体膜 1 6 および 1 5 a から 1 5 c の埋め込み深さを十分に深くすることができる。これにより、磁性体膜 1 6 および 1 5 a から 1 5 c の高さ方向の厚みを十分に大きくできる。以上の理由から、磁性体膜による磁気シールド効果を十分に得ることができる。

【 0 0 7 4 】

また、磁性体膜 1 6 および 1 5 a から 1 5 c は、TMR 素子 2 4 a および 2 4 b と第 1 および第 2 のディジット線とが交差する領域 5 1 が第 1 および第 2 のディジット線が延在する方向に延びる区間 5 0 において形成されている。このようにディジット線からの磁場の影響を最も受けやすい領域 5 1 に磁性体膜 1 6 および 1 5 a から 1 5 c を設けることによって、隣接するメモリセル間で発生するクロストークを効果的に抑制することができる。さらに、本実施の形態では、磁性体膜 1 6 および 1 5 a から 1 5 c が第 1 および第 2 のディジット線が延在する方向に沿って全体に設けられているため、隣接するメモリセル間で発生するクロストークをより効果的に抑制することができる。

【 0 0 7 5 】

また、磁性体膜 1 6 および 1 5 a から 1 5 c を形成する所定の材料は、磁性体であることに加えて絶縁体としての性質をも備える。たとえば導電体としての銅は比電気抵抗が 1.55×10^5 ($\mu\Omega \cdot \text{cm}$) であり、この銅の比電気抵抗と磁性体膜 1 6 および 1 5 a から 1 5 c を形成する材料の比電気抵抗とを比較するとオーダーが 3 ～ 7 桁も異なる。このため、第 1 および第 2 のディジット線を通る電流が磁性体膜 1 5 a から 1 5 c に流れ出すことを抑制できる。

【 0 0 7 6 】

(実施の形態 2)

図 2 9 は、この発明の実施の形態 2 における薄膜磁性体記憶装置を示す断面図である。図 2 9 を参照して、実施の形態 2 における薄膜磁性体記憶装置は、図 1 に示す実施の形態 1 における薄膜磁性体記憶装置と同様の形状を備えるが、ディジット線を構成する導電体膜を覆う部分の材料が異なる。以下において、実施の

形態 1 における薄膜磁性体記憶装置と重複する構造の説明は省略する。

【 0 0 7 7 】

導電体膜 1 7 a および 1 7 b の頂面以外の周壁を覆って、たとえばシリコン窒化膜からなる絶縁体膜 7 1 a および 7 1 b がそれぞれ形成されている。絶縁体膜 7 1 a および 7 1 b の側壁に接触して形成された磁性体膜 7 2 a から 7 2 c と、シールド用溝 2 2 の内壁に沿って形成された磁性体膜 7 3 とは、コバルト (C o) - 鉄 (F e) 合金またはニッケル (N i) - 鉄 (F e) 合金の磁性体材料から形成されている。M R A M のメモリセルにおける第 1 および第 2 のディジット線が、導電体膜 1 7 a および 1 7 b によって構成されている。

【 0 0 7 8 】

図 2 9 中に示す絶縁体膜 7 1 a および 7 1 b は、図 1 中に示すバリアメタル膜 1 8 a および 1 8 b が形成された位置に設けられている。図 2 9 中に示す磁性体膜 7 2 a、7 2 b、7 2 c および 7 3 は、図 1 中に示す磁性体膜 1 5 a、1 5 b、1 5 c および 1 6 が形成された位置に設けられている。

【 0 0 7 9 】

この発明の実施の形態 2 に従った薄膜磁性体記憶装置は、半導体基板としてのシリコン基板 1 の主表面 1 a 上で所定の間隔を隔てて設けられ、メモリ素子として動作する第 1 および第 2 の磁性体メモリセルとしての T M R 素子 2 4 a および 2 4 b と、T M R 素子 2 4 a と交差するように一方向に延在し、T M R 素子 2 4 a に磁場を印加するための第 1 の配線としての導電体膜 1 7 a から構成される第 1 のディジット線と、T M R 素子 2 4 b と交差するように第 1 のディジット線と平行に延在し、T M R 素子 2 4 b に磁場を印加するための第 2 の配線としての導電体膜 1 7 b から構成される第 2 のディジット線と、第 1 のディジット線と第 2 のディジット線との間を充填する磁性体膜 7 2 b と、第 1 のディジット線と磁性体膜 7 2 b との間および第 2 のディジット線と磁性体膜 7 2 b との間の各々に介在する絶縁体膜 7 1 a および 7 1 b とを備える。第 1 および第 2 のディジット線は、シリコン基板 1 の主表面 1 a と T M R 素子 2 4 a および 2 4 b との間に設けられている。

【 0 0 8 0 】

磁性体膜 7 3 および 7 2 a から 7 2 c は、第 1 および第 2 のディジット線が TMR 素子 2 4 a および 2 4 b と向い合う側のみを露出させるように第 1 および第 2 のディジット線を覆っている。

【0 0 8 1】

磁性体膜 7 3 および 7 2 a から 7 2 c は、第 1 および第 2 のディジット線が延在する方向に沿って延在しており、TMR 素子 2 4 a および 2 4 b と第 1 および第 2 のディジット線とがそれぞれ交差している領域が第 1 および第 2 のディジット線が延在する方向に延びる区間において磁性体膜 7 3 および 7 2 a から 7 2 c は少なくとも延在している。

【0 0 8 2】

磁性体膜 7 3 および 7 2 a から 7 2 c は、コバルト-鉄の合金およびニッケル-鉄の合金の少なくとも一方を含む。

【0 0 8 3】

このように構成された薄膜磁性体記憶装置によれば、絶縁体膜 7 1 a および 7 1 b は導電体膜 1 7 a および 1 7 b により構成される第 1 および第 2 のディジット線の保護膜としての役割を果たす。第 1 および第 2 のディジット線間は絶縁体膜 7 1 a および 7 1 b によって絶縁性が保たれるため、磁性体膜 7 2 a から 7 2 c をかならずしも絶縁性を示す磁性体材料で形成する必要がない。このため、磁性体膜 7 2 a から 7 2 c を形成する磁性体材料の選択の幅が広がる。そして、このように構成された薄膜磁性体記憶装置によって、実施の形態 1 に記載の効果と同様の効果を奏することができる。

【0 0 8 4】

(実施の形態 3)

図 3 0 は、この発明の実施の形態 3 における薄膜磁性体記憶装置を示す断面図である。図 3 0 は、薄膜磁性体記憶装置のメモリセル領域を示している。図 3 0 を参照して、実施の形態 3 における薄膜磁性体記憶装置は、図 1 中に示す実施の形態 1 における薄膜磁性体記憶装置と比較して、層間絶縁膜 8 およびビット線が形成されたレイヤーの構造が異なる。以下において重複する構造の説明は省略する。

【 0 0 8 5 】

図 3 0 を参照して、層間絶縁膜 8 の頂面側には、図 3 0 の紙面に対して垂直方向に延在する配線用溝 2 3 a および 2 3 b が形成されている。配線用溝 2 3 a および 2 3 b の内部に、導電体膜 1 7 a およびバリアメタル膜 1 8 a と、導電体膜 1 7 b およびバリアメタル膜 1 8 b とのそれぞれから構成される第 1 および第 2 のディジット線が形成されている。実施の形態 3 における薄膜磁性体記憶装置では、第 1 および第 2 のディジット線を覆う磁性体膜が設けられていない。

【 0 0 8 6 】

図 3 1 は、図 3 0 中の XXX I - XXX I 線上に沿った薄膜磁性体記憶装置を示す断面図である。図 3 1 を参照して、TMR 素子 2 4 a を磁性体メモリセルとして構成されている MRAM のメモリセルに隣接して、TMR 素子 2 4 m を磁性体メモリセルとして構成されている別の MRAM のメモリセルが設けられている。

【 0 0 8 7 】

より詳細に説明すると、この別の MRAM のメモリセルは、シリコン基板 1 上に形成された電界効果トランジスタと、電界効果トランジスタに電氣的に接続されたストラップ 2 0 m と、ストラップ 2 0 m の頂面に接触して形成された TMR 素子 2 4 m と、TMR 素子 2 4 m の下方で延在する導電体膜 1 7 a およびバリアメタル膜 1 8 a からなる第 1 のディジット線（図 3 0 を参照のこと）と、TMR 素子 2 4 m の上方で延在する導電体膜 2 7 m およびバリアメタル膜 2 6 m からなる第 2 のビット線とによって構成されている。以後、導電体膜 2 7 およびバリアメタル膜 2 6 によって構成されたビット線を第 1 のビット線と呼ぶこととする。

【 0 0 8 8 】

層間絶縁膜 4 には、ソース／ドレイン領域 2 a に達するコンタクトホール 5 m が、層間絶縁膜 8 には、層間絶縁膜 4 の頂面に達するコンタクトホール 9 m とコンタクトホール 9 m に連通するコンタクトホール 3 9 m が形成されている。これらのコンタクトホールの内部に形成されたバリアメタル膜 6 m および 1 1 m とコンタクトプラグ 7 m および 1 2 m とによって、電界効果トランジスタとストラップ 2 0 m とが電氣的に接続されている。

【 0 0 8 9 】

層間絶縁膜 2 5 上に形成された層間絶縁膜 5 9 には、層間絶縁膜 5 9 およびバリアメタル膜 2 6 によって側壁が規定され、層間絶縁膜 2 5 によって底面が規定されたシールド用溝 8 2 a が形成されている。層間絶縁膜 5 9 には、バリアメタル膜 2 6 および 2 6 m によって側壁が規定され、層間絶縁膜 2 5 によって底面が規定されたシールド用溝 8 2 b が形成されている。層間絶縁膜 5 9 には、層間絶縁膜 5 9 およびバリアメタル膜 2 6 m によって側壁が規定され、層間絶縁膜 2 5 によって底面が規定されたシールド用溝 8 2 c が形成されている。

【 0 0 9 0 】

シールド用溝 8 2 a から 8 2 c の内部を充填し、第 1 および第 2 のビット線ならびに層間絶縁膜 5 9 の頂面を覆うように磁性体膜 8 1 が形成されている。磁性体膜 8 1 は、マンガ、亜鉛、または鉄の酸化物からなる磁性体材料によって形成されている。

【 0 0 9 1 】

第 1 および第 2 のビット線が向い合う側の第 1 および第 2 のビット線の側壁は、磁性体膜 8 1 に接触している。磁性体膜 8 1 は、第 1 のビット線から第 2 のビット線までの間を充填している。シリコン基板 1 の主表面 1 a から磁性体膜 8 1 の頂面までの距離は、シリコン基板 1 の主表面 1 a から第 1 および第 2 のビット線の頂面までの距離よりも大きい。第 1 および第 2 のビット線の底面が TMR 素子 2 4 a および 2 4 m に接触している。磁性体膜 8 1 は、第 1 および第 2 のビット線の底面のみを露出させるように第 1 および第 2 のビット線を覆っている。

【 0 0 9 2 】

層間絶縁膜 3 2 には、配線用溝 3 5 に並列して配線用溝 3 5 m が形成されている。配線用溝 3 5 m の内部には、配線となるバリアメタル膜 3 3 m および導電体膜 3 4 が形成されている。

【 0 0 9 3 】

この発明の実施の形態 3 に従った薄膜磁性体記憶装置は、第 1 および第 2 の配線としての導電体膜 2 7 およびバリアメタル膜 2 6 によって構成された第 1 のビット線と、導電体膜 2 7 m およびバリアメタル膜 2 6 m によって構成された第 2

のビット線とは、シリコン基板 1 の主表面 1 a と第 1 および第 2 のビット線との間に第 1 および第 2 の磁性体メモリセルとしての TMR 素子 2 4 a および 2 4 m が位置するように設けられている。

【0094】

図 3 2 から図 3 5 は、図 3 1 中に示す薄膜磁性体記憶装置の製造方法の工程を示す断面図である。図 3 2 から図 3 5 および図 3 1 を用いて、図 3 1 中に示す薄膜磁性体記憶装置の製造方法であって、第 1 および第 2 のビット線を形成した工程の後に続く製造方法について説明する。

【0095】

図 3 2 を参照して、化学的機械研磨法により、バリアメタルおよび導電性材料を層間絶縁膜 5 9 の頂面が露出するまで除去するとともに、配線用溝 3 6 および 3 6 m にバリアメタルおよび導電性材料を残存させる。これにより、配線用溝 3 6 および 3 6 m の内部に第 1 のビット線を構成するバリアメタル膜 2 6 および導電体膜 2 7 と、第 2 のビット線を構成するバリアメタル膜 2 6 m および導電体膜 2 7 m とをそれぞれ形成する。

【0096】

図 3 3 を参照して、層間絶縁膜 5 9 上に、第 1 および第 2 のビット線の頂面と、第 1 および第 2 のビット線の両側に位置する層間絶縁膜 2 5 の頂面と、さらに第 1 および第 2 のビット線の間に位置する層間絶縁膜 2 5 の頂面とを露出させる開口を有するレジスト膜 9 1 を形成する。

【0097】

図 3 4 を参照して、レジスト膜 9 1 をマスクとして層間絶縁膜 5 9 にエッチングを行なうことによって、シールド用溝 8 2 a から 8 2 c を形成する。この際、シリコン酸化膜である層間絶縁膜 5 9 に行なうエッチングに対して、導電体膜 2 7 および 2 7 m ならびにバリアメタル膜 2 6 および 2 6 m はマスクとして作用する。その後、レジスト膜 9 1 を除去する。

【0098】

図 3 5 を参照して、シールド用溝 8 2 a から 8 2 c の内部を充填し層間絶縁膜 5 9 ならびに第 1 および第 2 のビット線の頂面を覆うように磁性体材料を堆積す

ることによって磁性体膜 8 1 を形成する。

【0 0 9 9】

図 3 1 を参照して、層間絶縁膜の形成とデュアルダマシンプロセスとを順次繰り返すことによって、バリアメタル膜 3 0 a および導電体膜 3 1 a からなる配線が設けられた層間絶縁膜 2 8 と、バリアメタル膜 3 3 および 3 3 m ならびに導電体膜 3 4 および 3 4 m からなる配線が設けられた層間絶縁膜 3 2 とを形成する。

【0 1 0 0】

このように構成された薄膜磁性体記憶装置によれば、第 1 および第 2 のビット線に電流を流すことによって発生するクロストークに関して、実施の形態 1 に記載の効果と同様の効果を奏することができる。これにより、信頼性の高い薄膜磁性体記憶装置を実現することができる。なお、実施の形態 1 と同様に、隣接するメモリセル間で発生するクロストークを十分に抑制するためには、磁性体膜の厚みが 5 0 n m 以上であることが好ましい。

【0 1 0 1】

(実施の形態 4)

図 3 6 は、この発明の実施の形態 4 における薄膜磁性体記憶装置を示す断面図である。図 3 6 を参照して、実施の形態 4 における薄膜磁性体記憶装置は、図 3 1 中に示す実施の形態 3 における薄膜磁性体記憶装置とほぼ同様の形状を備えるが、ビット線である導電体膜を覆う部分の構造が異なる。以下において、実施の形態 3 における薄膜磁性体記憶装置と重複する構造の説明は省略する。

【0 1 0 2】

TMR 素子 2 4 a および 2 4 m の頂面に接触して導電体膜 2 7 および 2 7 m が形成されている。導電体膜 2 7 および 2 7 m は、第 1 および第 2 のビット線を構成する。導電体膜 2 7 および 2 7 m の側壁および頂面を覆うように、たとえばシリコン窒化膜からなる絶縁体膜 9 4 および 9 4 m が形成されている。

【0 1 0 3】

層間絶縁膜 2 5 上に形成された層間絶縁膜 5 9 には、層間絶縁膜 5 9 および絶縁体膜 9 4 によって側壁が規定され、層間絶縁膜 2 5 によって底面が規定されたシールド用溝 8 2 a が形成されている。層間絶縁膜 5 9 には、絶縁体膜 9 4 およ

び 9 4 m によって側壁が規定され、層間絶縁膜 2 5 によって底面が規定されたシールド用溝 8 2 b が形成されている。層間絶縁膜 5 9 には、層間絶縁膜 5 9 および絶縁体膜 9 4 m によって側壁が規定され、層間絶縁膜 2 5 によって底面が規定されたシールド用溝 8 2 c が形成されている。

【 0 1 0 4 】

シールド用溝 8 2 a から 8 2 c の内部を充填し、層間絶縁膜 5 9 ならびに絶縁体膜 9 4 および 9 4 m の頂面を覆うように磁性体膜 9 5 が形成されている。磁性体膜 9 5 は、コバルト-鉄の合金またはニッケル-鉄の合金の磁性体材料から形成されている。

【 0 1 0 5 】

この発明の実施の形態 4 に従った薄膜磁性体記憶装置では、磁性体膜 9 5 は、コバルト-鉄の合金およびニッケル-鉄の合金の少なくとも一方を含む。

【 0 1 0 6 】

このように構成された薄膜磁性体記憶装置によれば、絶縁体膜 9 4 および 9 4 m は導電体膜 2 7 および 2 7 m により構成される第 1 および第 2 のビット線の保護膜としての役割を果たす。第 1 および第 2 のビット線間は絶縁体膜 9 4 および 9 4 m によって絶縁性が保たれるため、磁性体膜 9 5 をかならずしも絶縁性を示す磁性体材料で形成する必要がない。このため、磁性体膜 9 5 を形成する磁性体材料の選択の幅が広がる。そして、このように構成された薄膜磁性体記憶装置によって、実施の形態 3 に記載の効果と同様の効果を奏することができる。

【 0 1 0 7 】

なお、実施の形態 1 および 2 においてディジット線の上に磁性体膜を形成した構造と、実施の形態 3 および 4 においてビット線の上に磁性体膜を形成した構造とを組合せた薄膜磁性体記憶装置としても良い。

【 0 1 0 8 】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0109】

【発明の効果】

以上説明したように、この発明に従えば、隣接するメモリセル間で発生するクロストークを抑制するとともに、配線抵抗が増大することのない薄膜磁性体記憶装置を提供することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1における薄膜磁性体記憶装置を示す断面図である。

【図2】 図1中の薄膜磁性体記憶装置を示す平面図である。

【図3】 図1中に示す薄膜磁性体記憶装置の製造方法の第1工程を示す断面図である。

【図4】 図1中に示す薄膜磁性体記憶装置の製造方法の第2工程を示す断面図である。

【図5】 図1中に示す薄膜磁性体記憶装置の製造方法の第3工程を示す断面図である。

【図6】 図1中に示す薄膜磁性体記憶装置の製造方法の第4工程を示す断面図である。

【図7】 図1中に示す薄膜磁性体記憶装置の製造方法の第5工程を示す断面図である。

【図8】 図1中に示す薄膜磁性体記憶装置の製造方法の第6工程を示す断面図である。

【図9】 図1中に示す薄膜磁性体記憶装置の製造方法の第7工程を示す断面図である。

【図10】 図1中に示す薄膜磁性体記憶装置の製造方法の第8工程を示す断面図である。

【図11】 図1中に示す薄膜磁性体記憶装置の製造方法の第9工程を示す断面図である。

【図12】 図1中に示す薄膜磁性体記憶装置の製造方法の第10工程を示す断面図である。

【図 1 3】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 1 1 工程を示す断面図である。

【図 1 4】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 1 2 工程を示す断面図である。

【図 1 5】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 1 3 工程を示す断面図である。

【図 1 6】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 1 4 工程を示す断面図である。

【図 1 7】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 1 5 工程を示す断面図である。

【図 1 8】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 1 6 工程を示す断面図である。

【図 1 9】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 1 7 工程を示す断面図である。

【図 2 0】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 1 8 工程を示す断面図である。

【図 2 1】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 1 9 工程を示す断面図である。

【図 2 2】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 2 0 工程を示す断面図である。

【図 2 3】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 2 1 工程を示す断面図である。

【図 2 4】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 2 2 工程を示す断面図である。

【図 2 5】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 2 3 工程を示す断面図である。

【図 2 6】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 2 4 工程を示す断面図である。

【図 2 7】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 2 5 工程を示

す断面図である。

【図 2 8】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 2 6 工程を示す断面図である。

【図 2 9】 この発明の実施の形態 2 における薄膜磁性体記憶装置を示す断面図である。

【図 3 0】 この発明の実施の形態 3 における薄膜磁性体記憶装置を示す断面図である。

【図 3 1】 図 3 0 中の X X X I - X X X I 線の上に沿った薄膜磁性体記憶装置を示す断面図である。

【図 3 2】 図 3 1 中に示す薄膜磁性体記憶装置の製造方法の第 1 工程を示す断面図である。

【図 3 3】 図 3 1 中に示す薄膜磁性体記憶装置の製造方法の第 2 工程を示す断面図である。

【図 3 4】 図 3 1 中に示す薄膜磁性体記憶装置の製造方法の第 3 工程を示す断面図である。

【図 3 5】 図 3 1 中に示す薄膜磁性体記憶装置の製造方法の第 4 工程を示す断面図である。

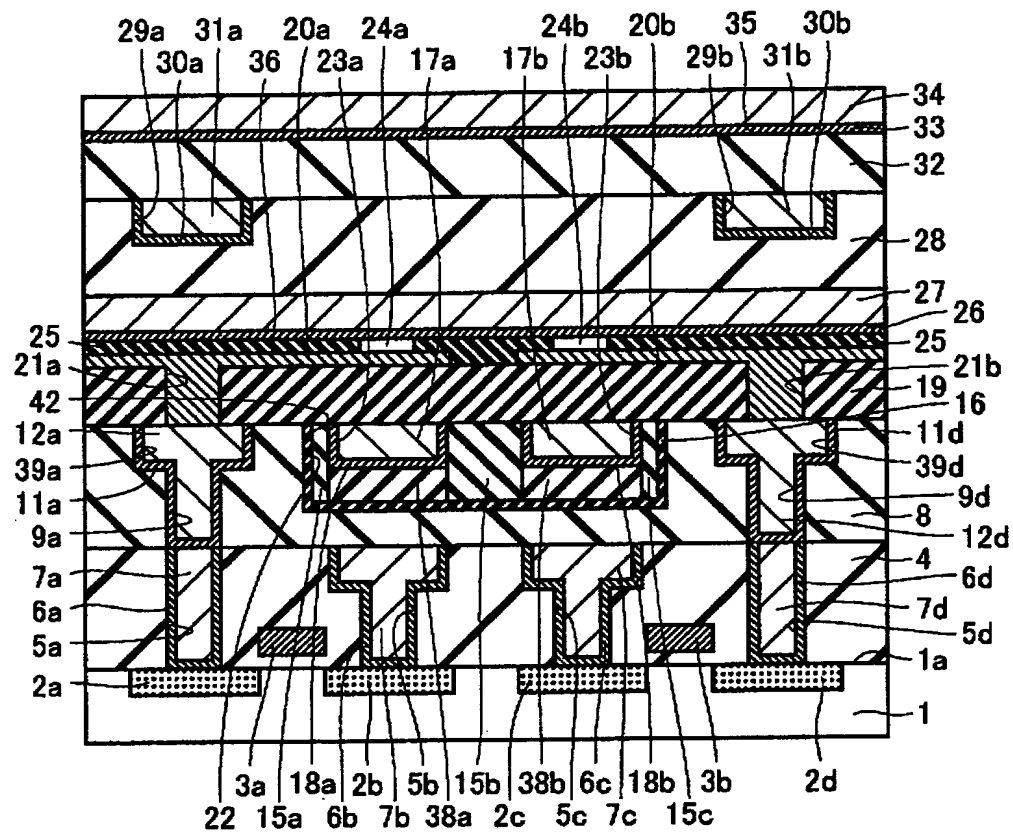
【図 3 6】 この発明の実施の形態 4 における薄膜磁性体記憶装置を示す断面図である。

【符号の説明】

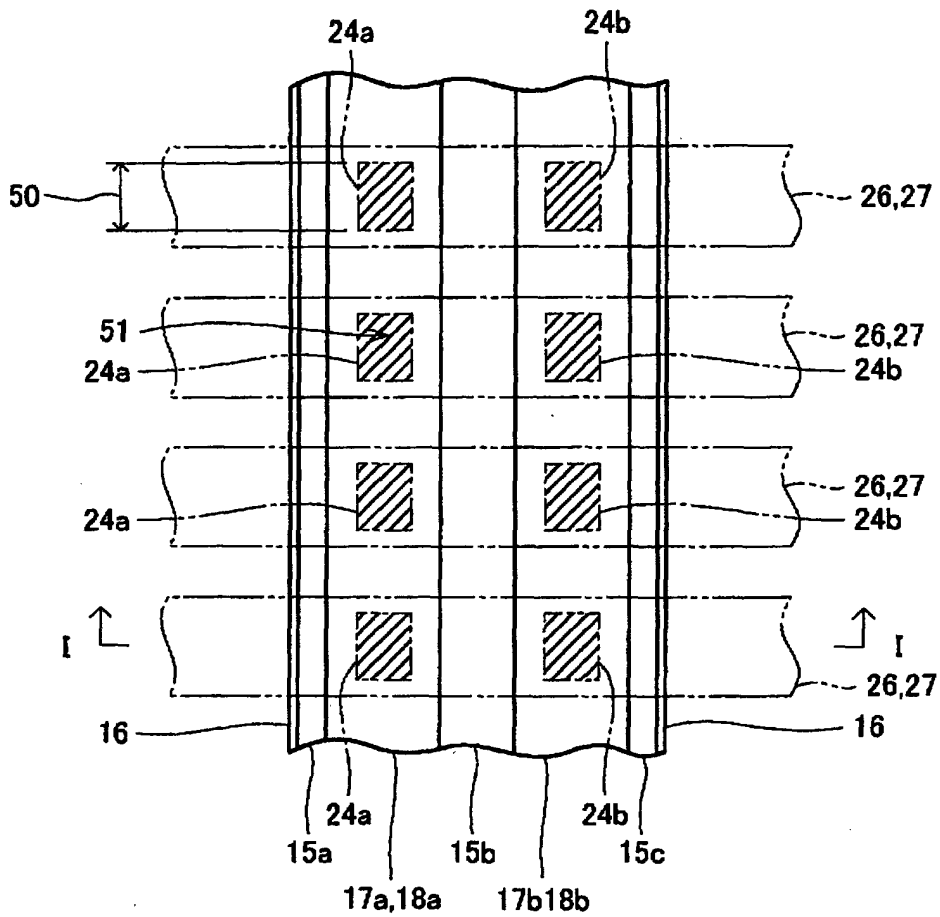
1 シリコン基板、1 a 主表面、1 5 a, 1 5 b, 1 5 b, 1 6, 7 1 a, 7 2 b, 7 2 c, 7 3, 8 1, 9 5 磁性体膜、1 7 a, 1 7 b, 2 7, 2 7 m 導電体膜、1 8 a, 1 8 b, 2 6, 2 6 m バリアメタル膜、2 4 a, 2 4 b, 2 4 m TMR 素子、5 0 区間、5 1 領域、7 1 a, 7 1 b, 9 4, 9 4 m 絶縁体膜。

【書類名】 図面

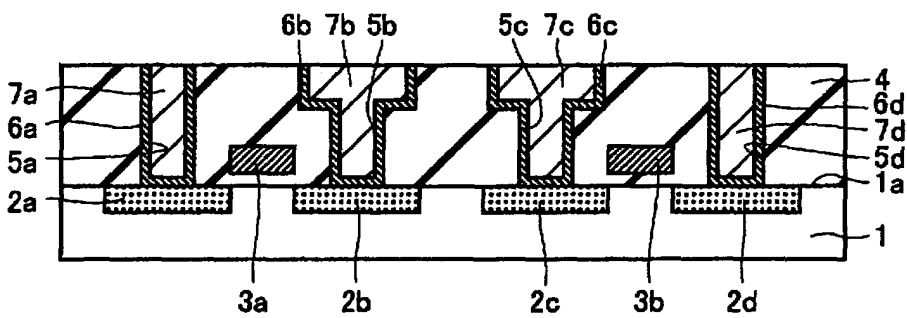
【図 1】



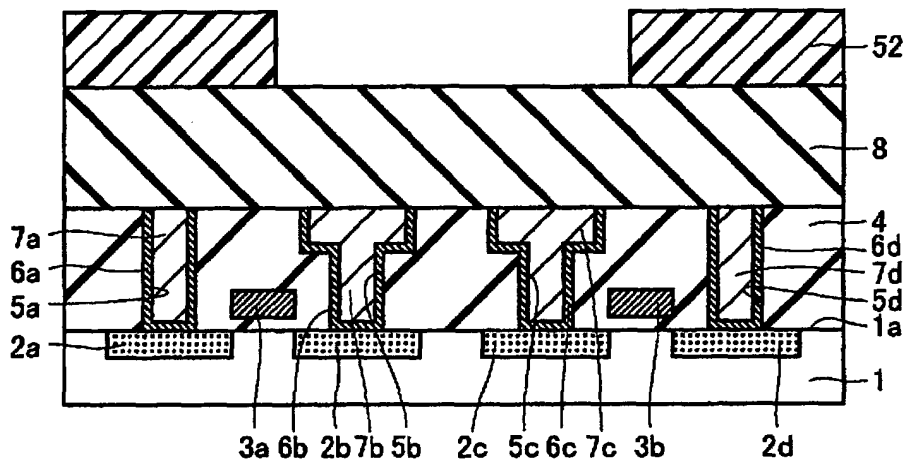
【図 2】



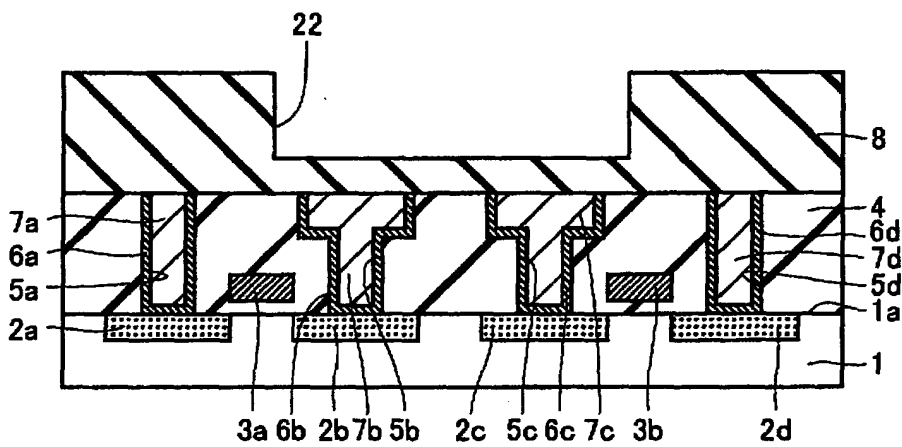
【図 3】



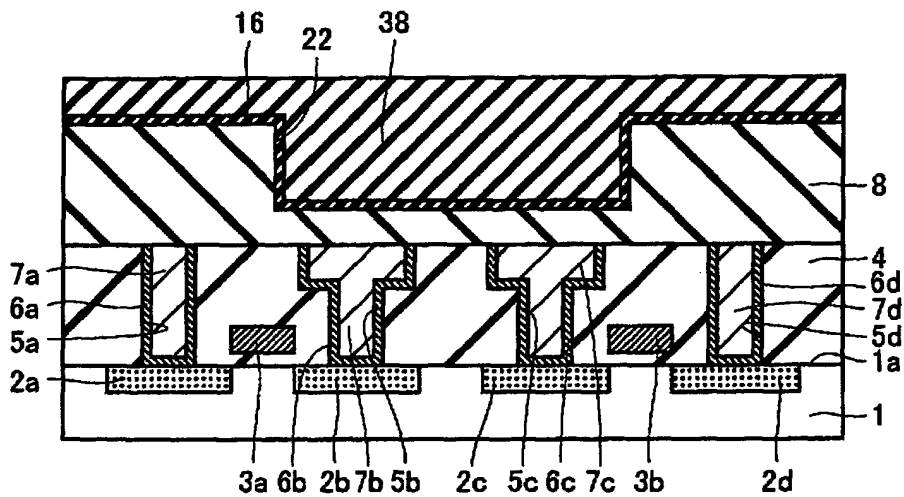
【図 4】



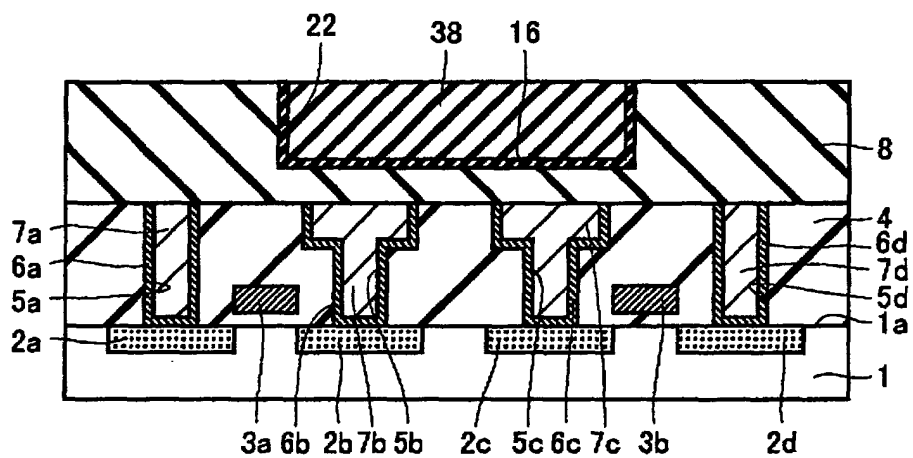
【図 5】



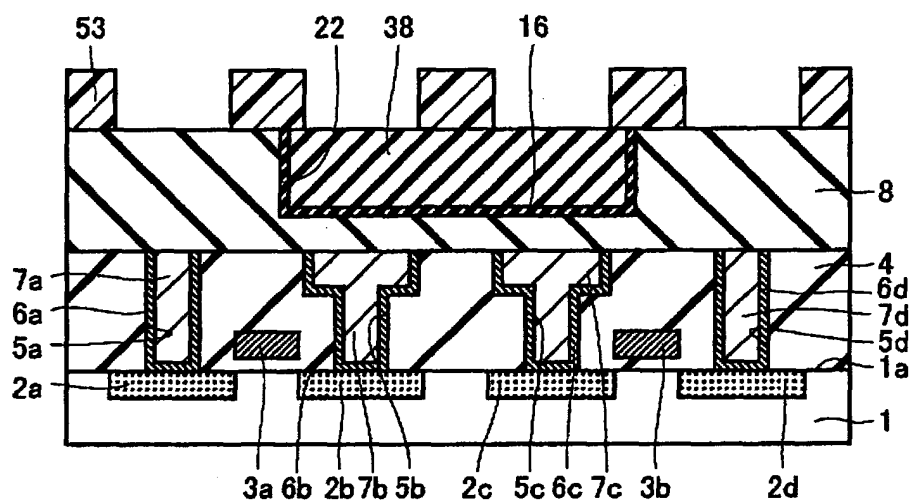
【図 6】



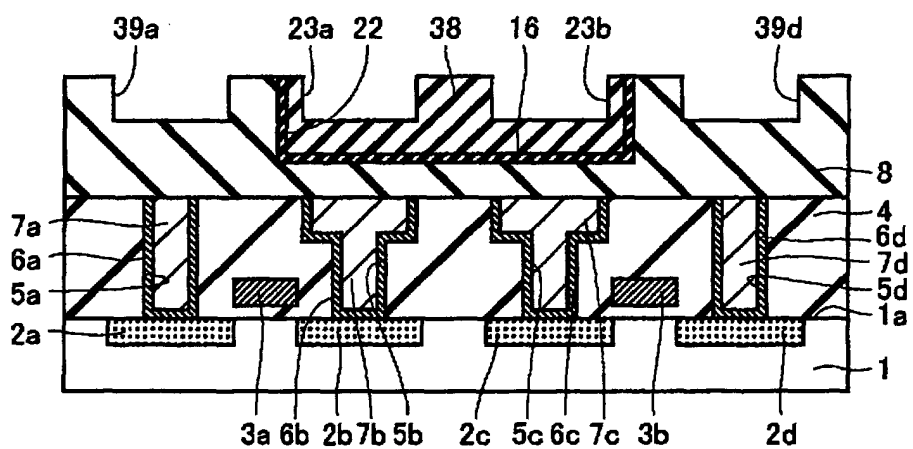
【図 7】



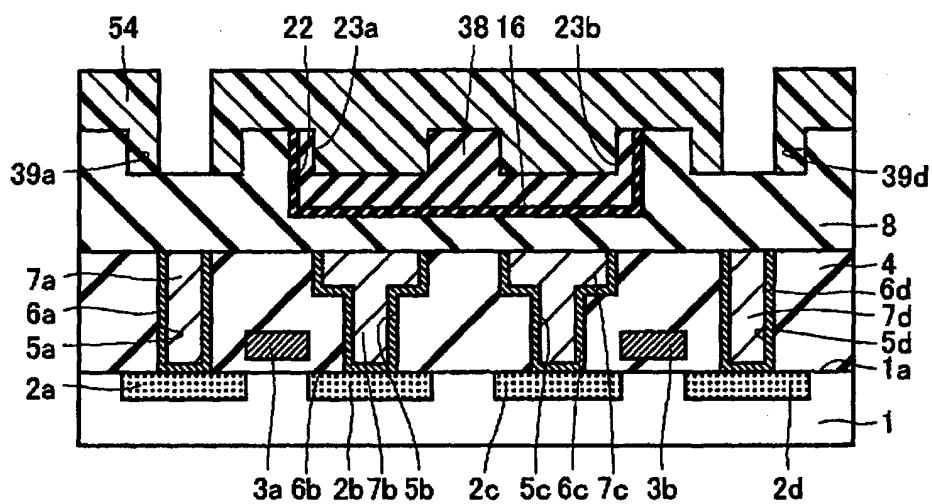
【図 8】



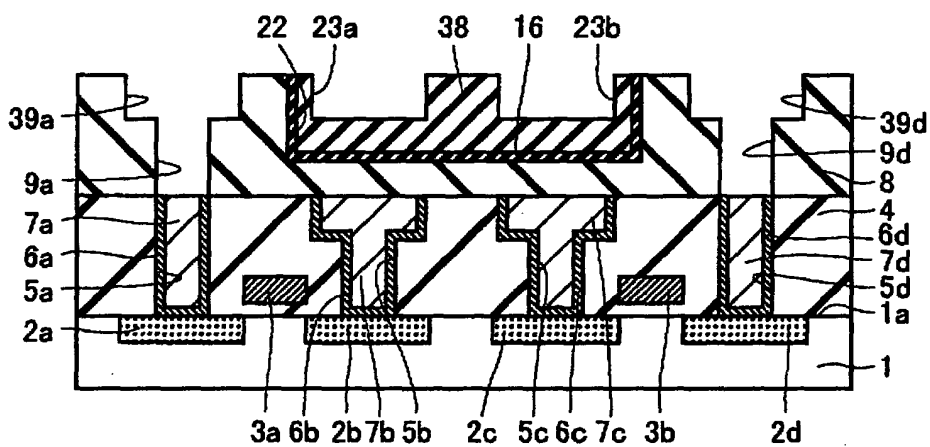
【図 9】



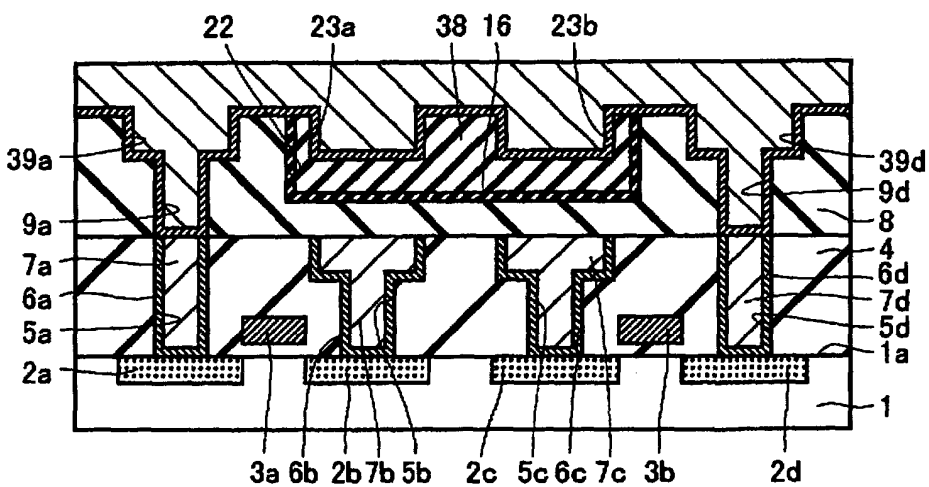
【図 10】



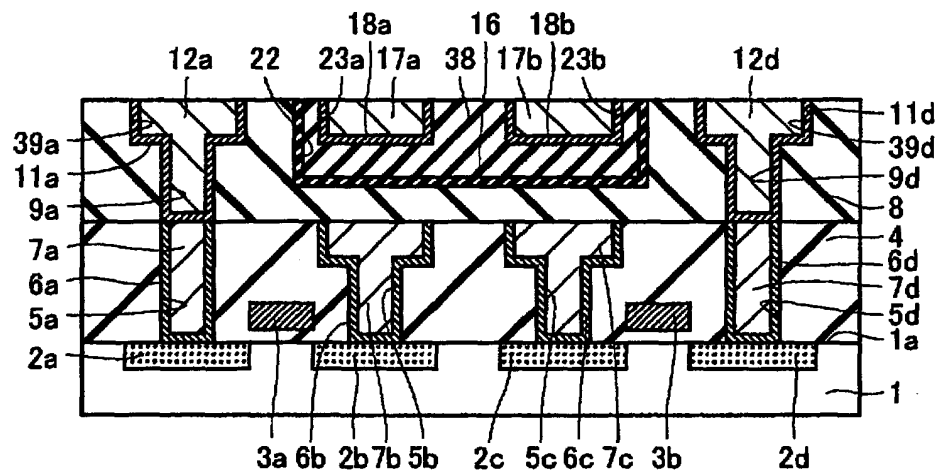
【圖 1 1】



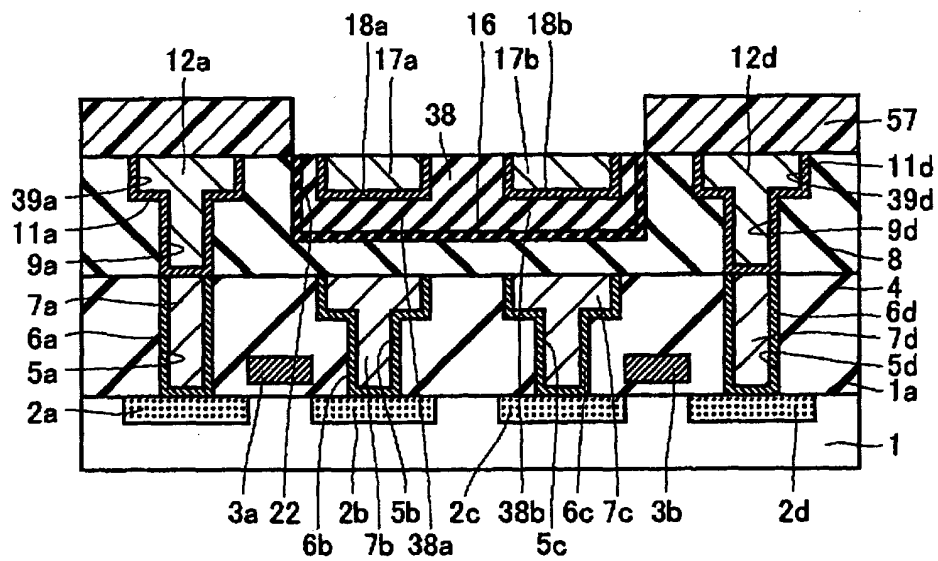
【图 1 2】



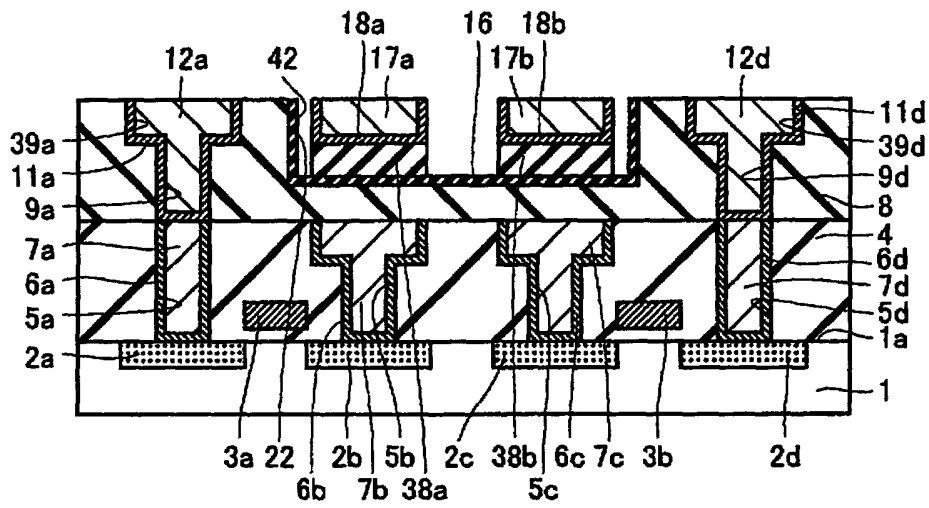
【図 13】



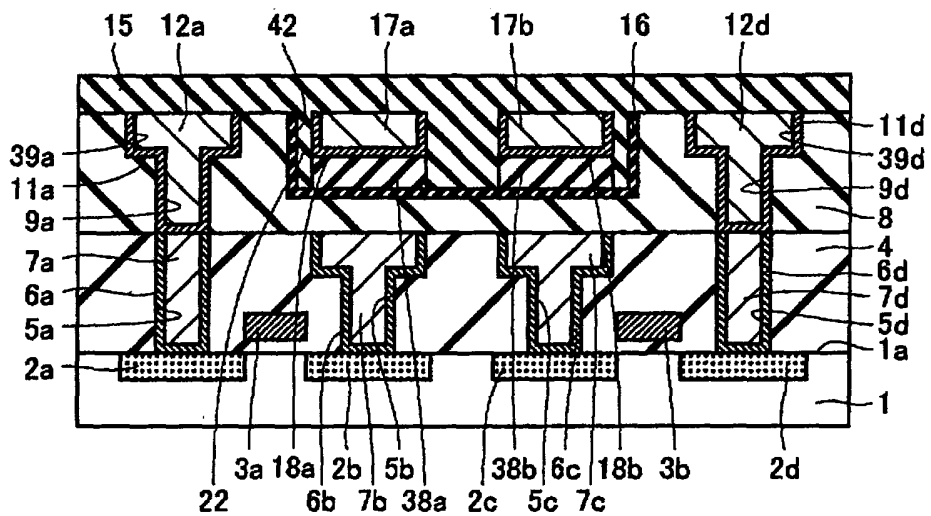
【図 14】



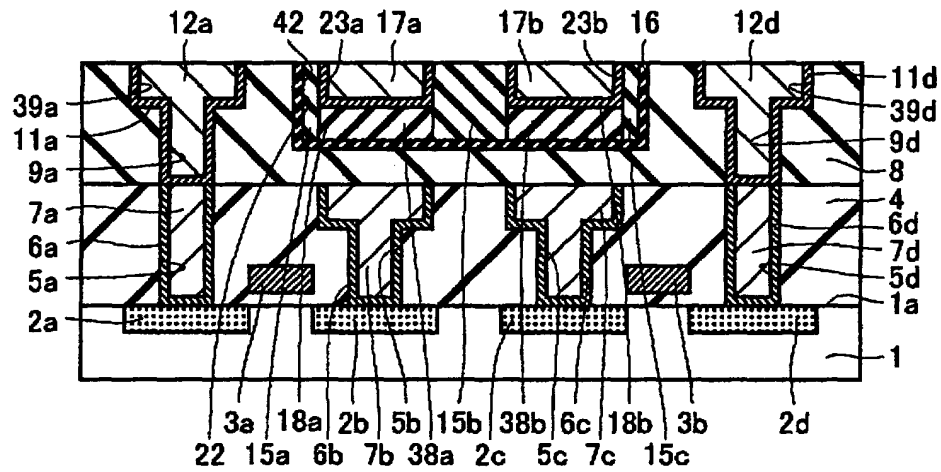
【図 15】



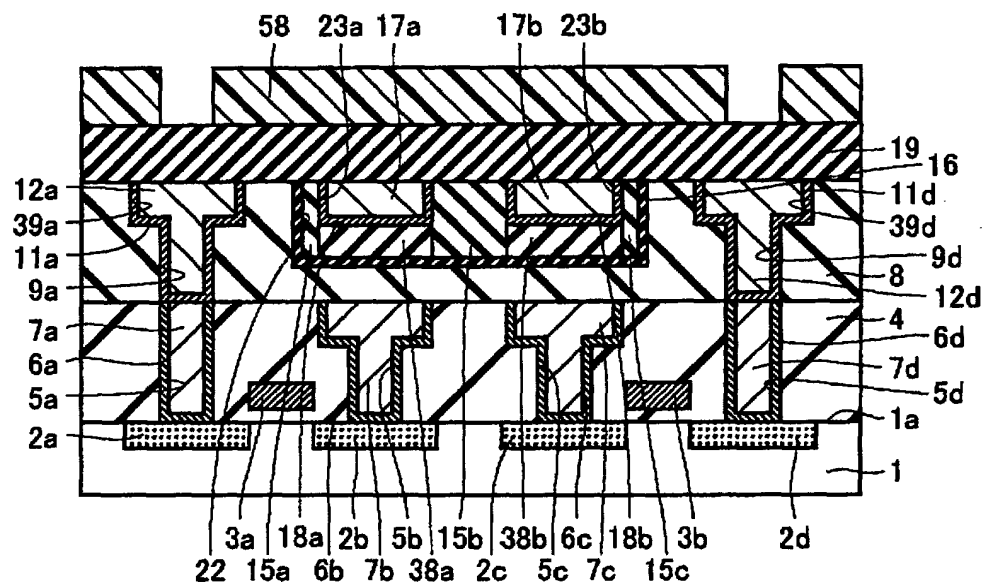
【図 16】



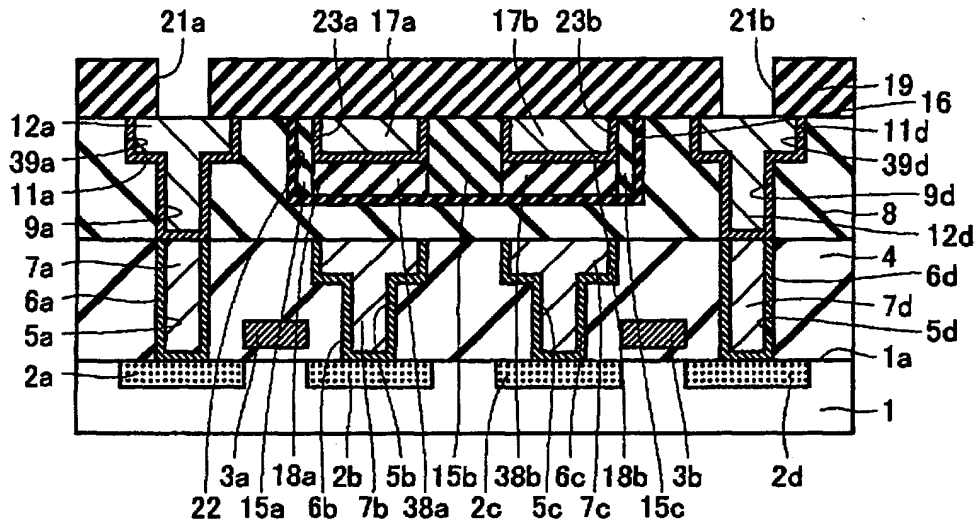
【図 17】



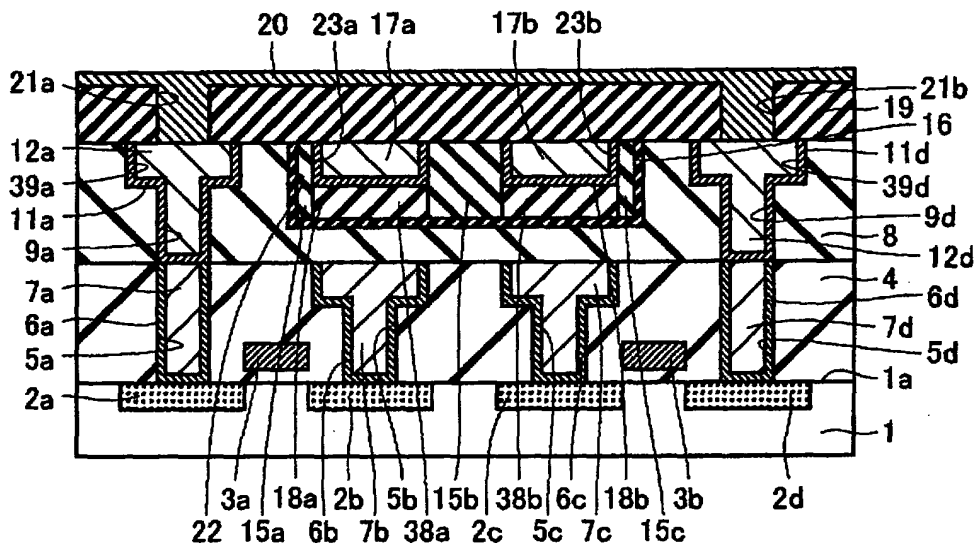
【図 18】



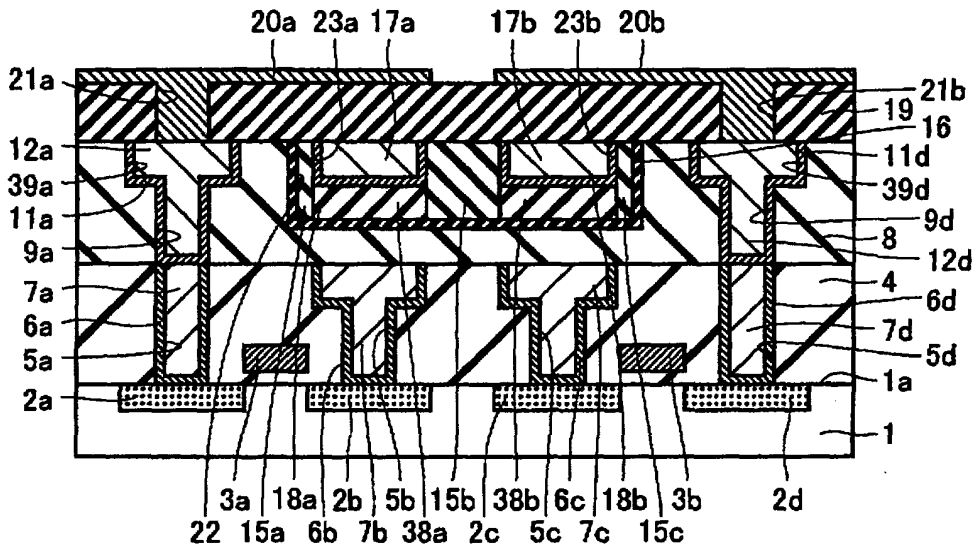
【図19】



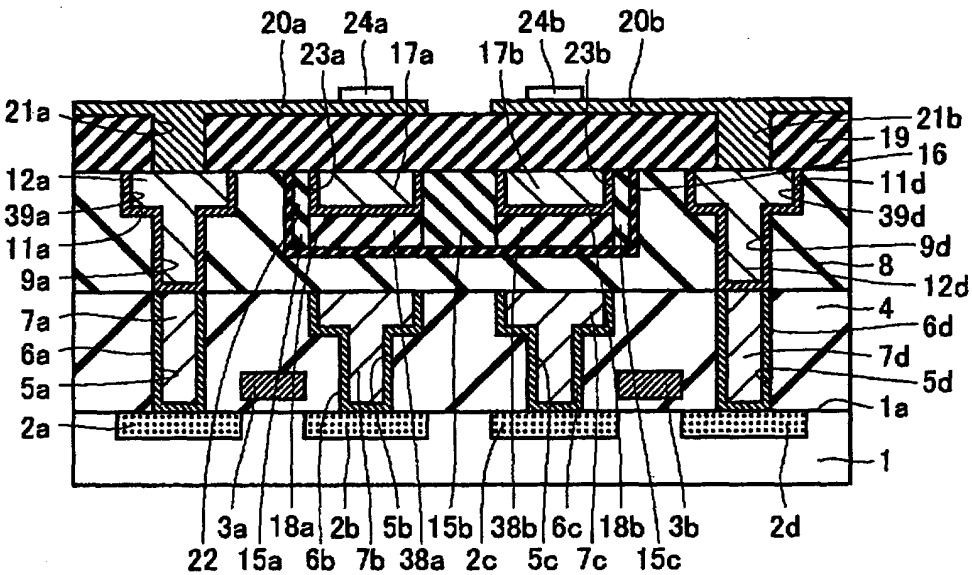
【図20】



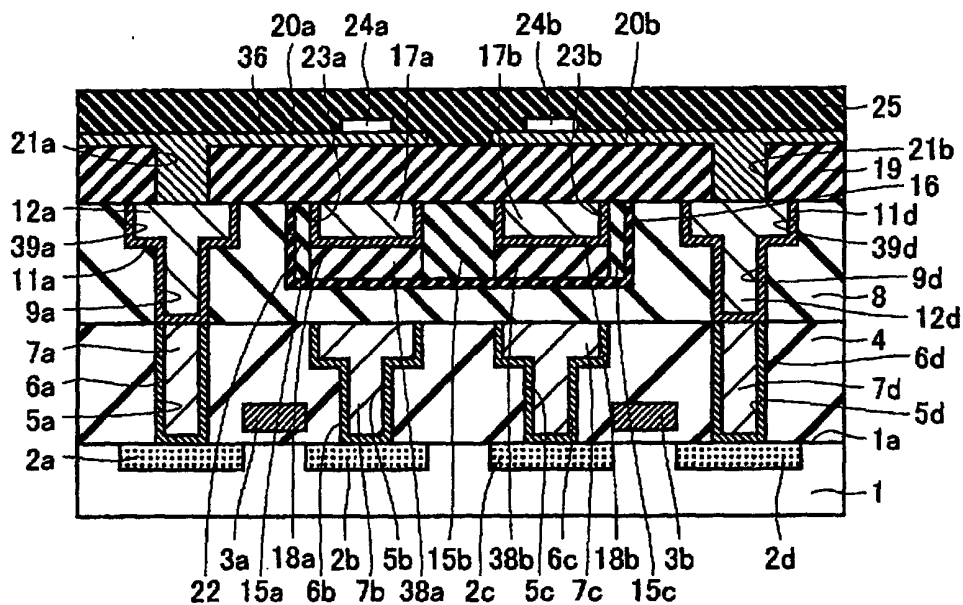
【図 2 1】



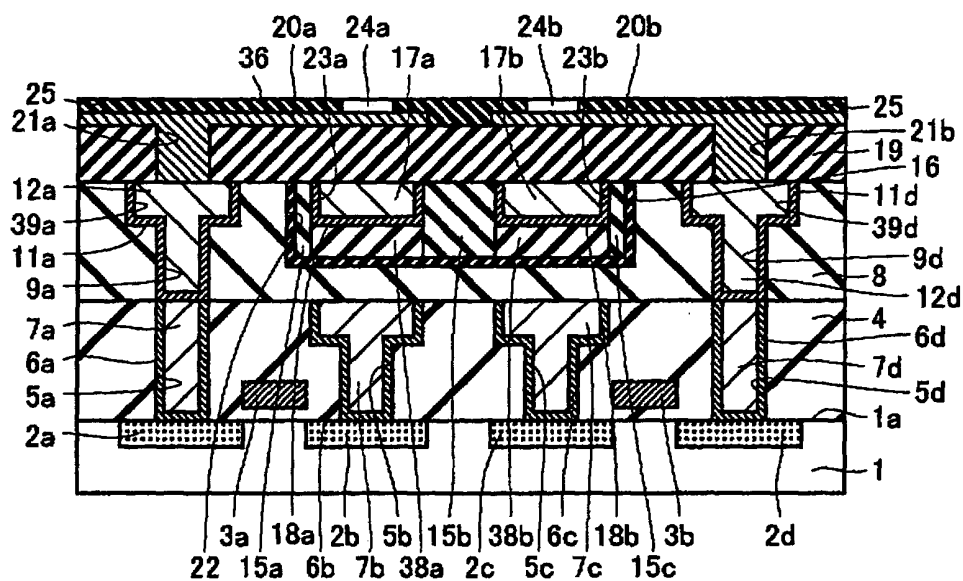
【図 2 2】



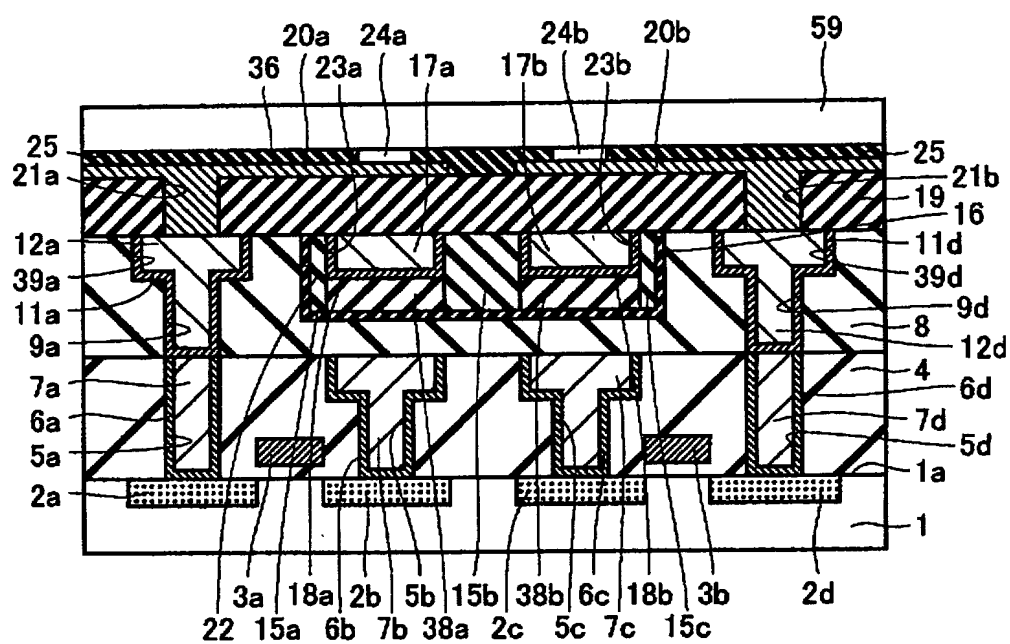
【図 2 3】



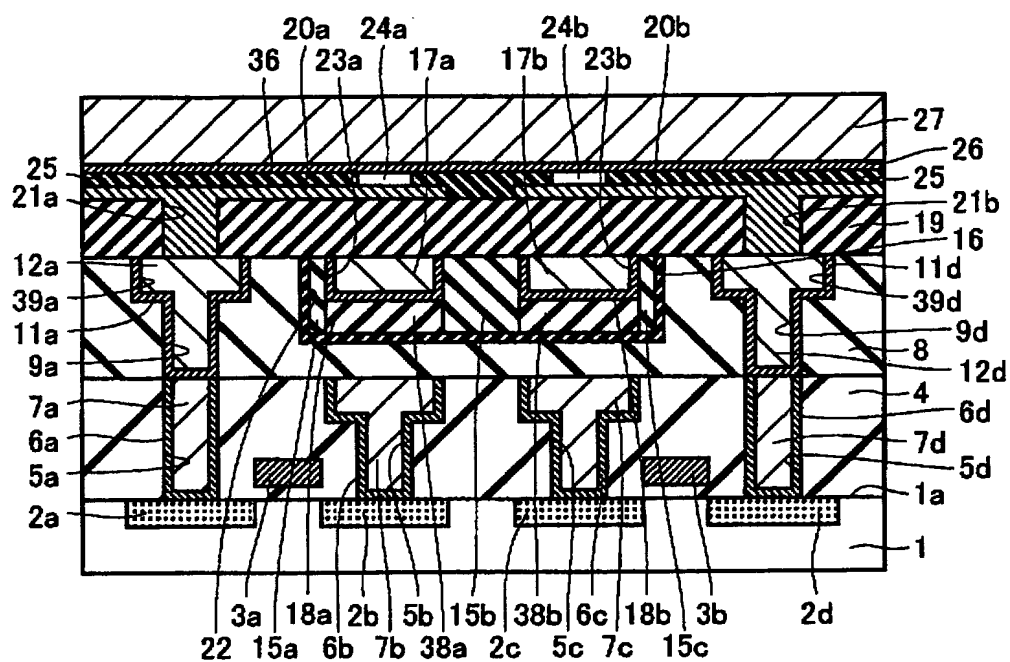
【図 2 4】



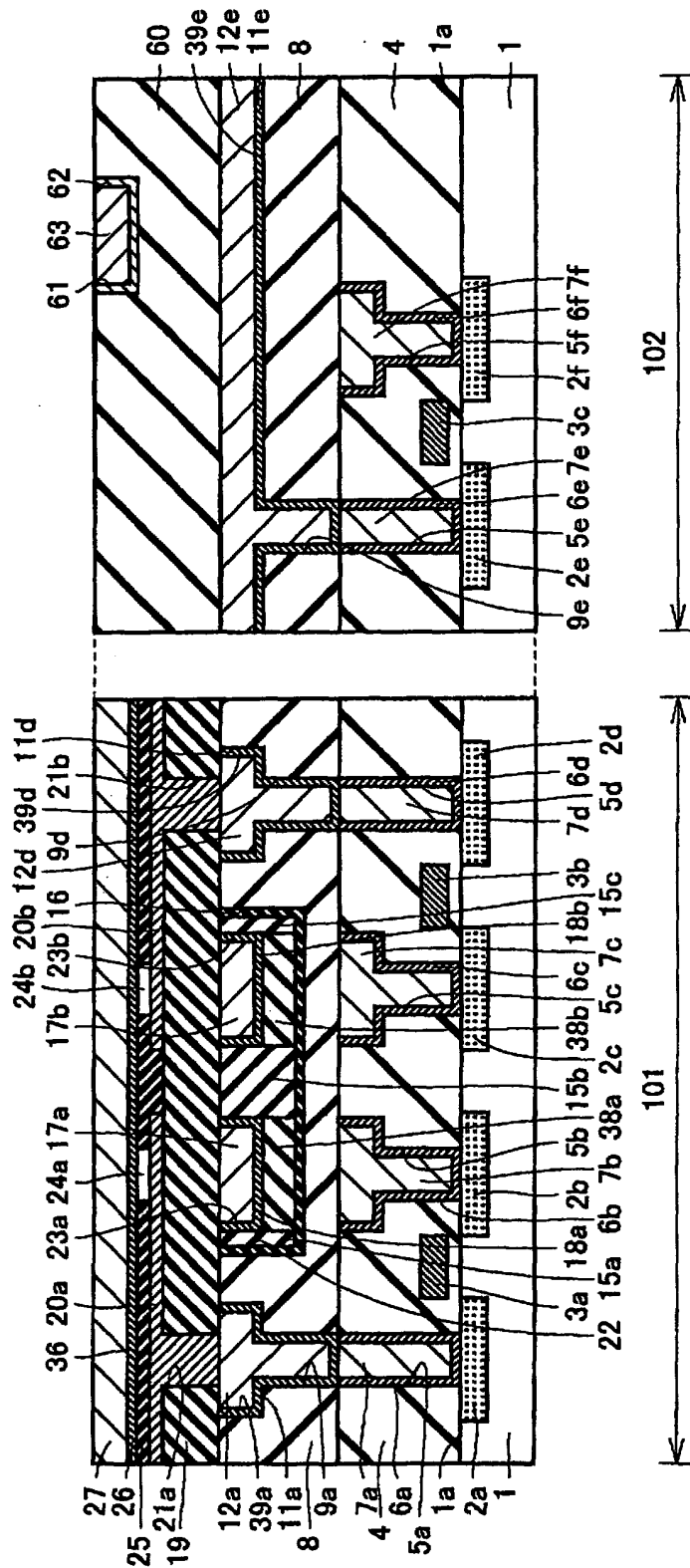
【图 25】



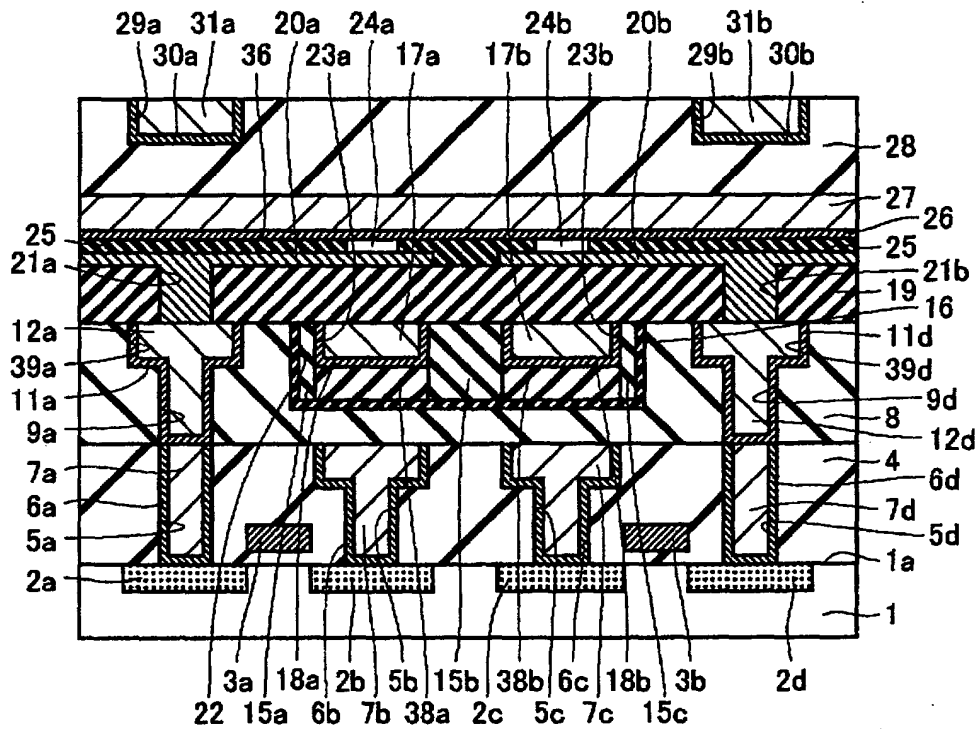
【图 2 6】



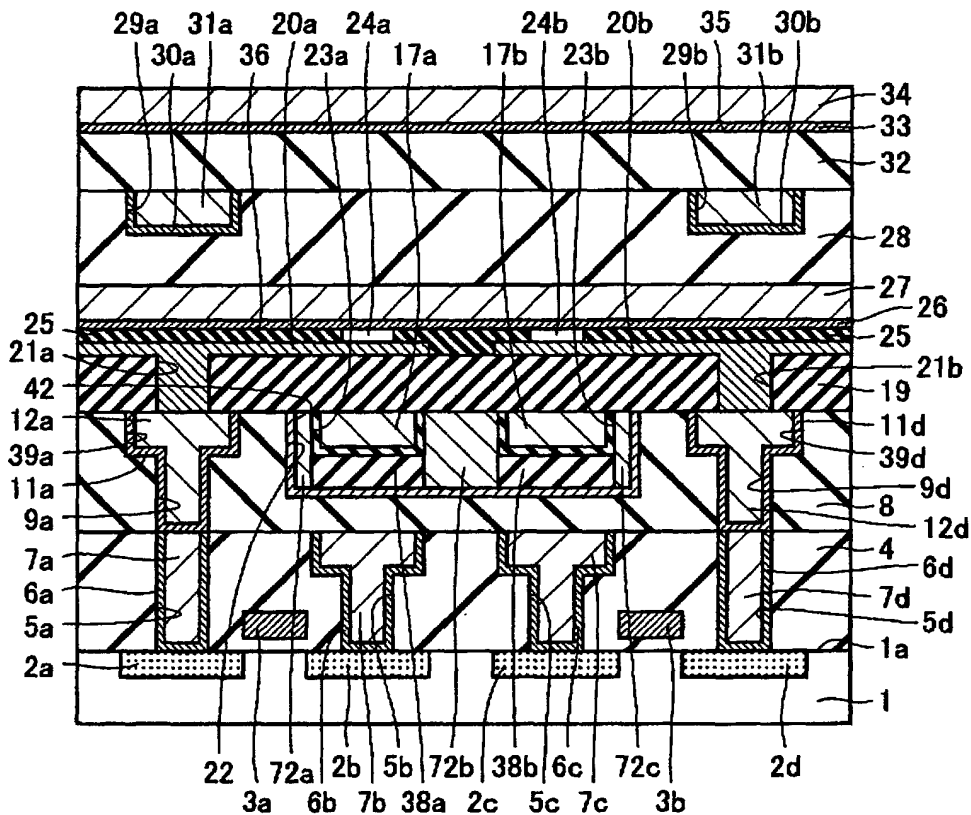
【図 27】



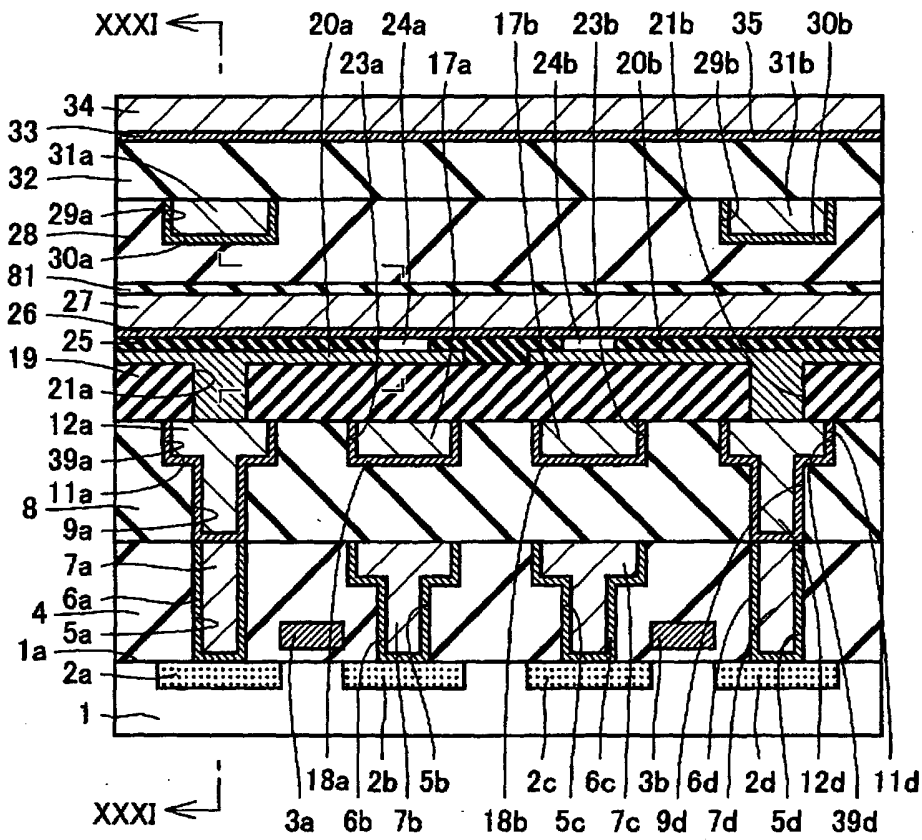
【図 28】



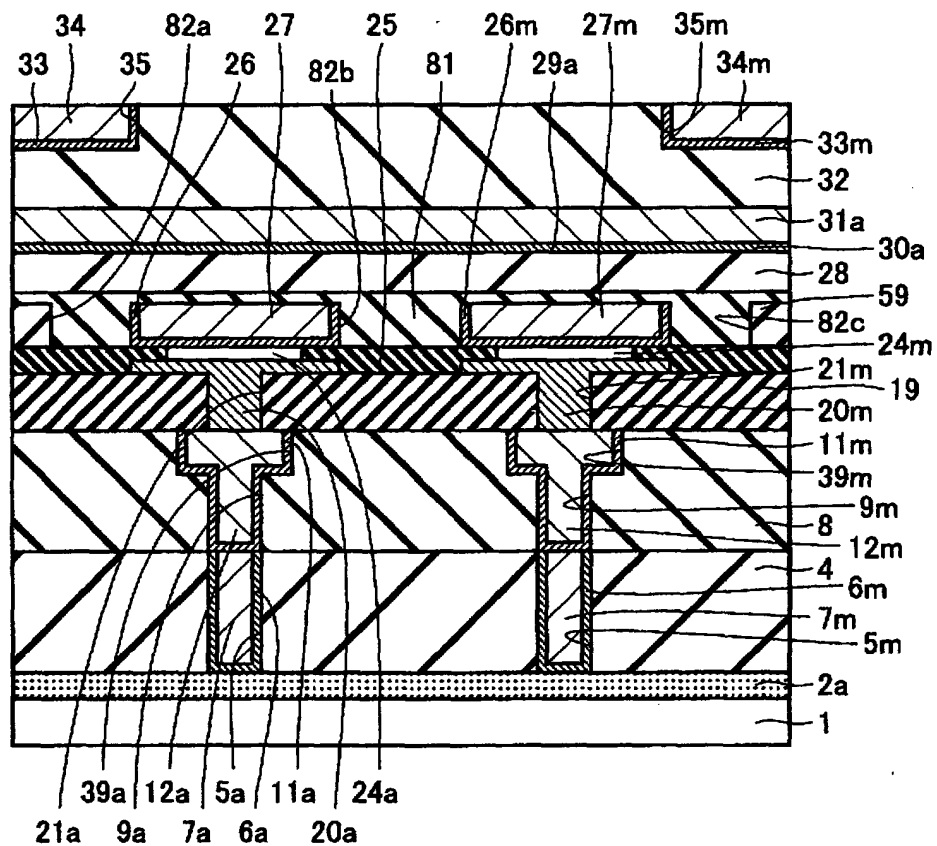
【図 29】



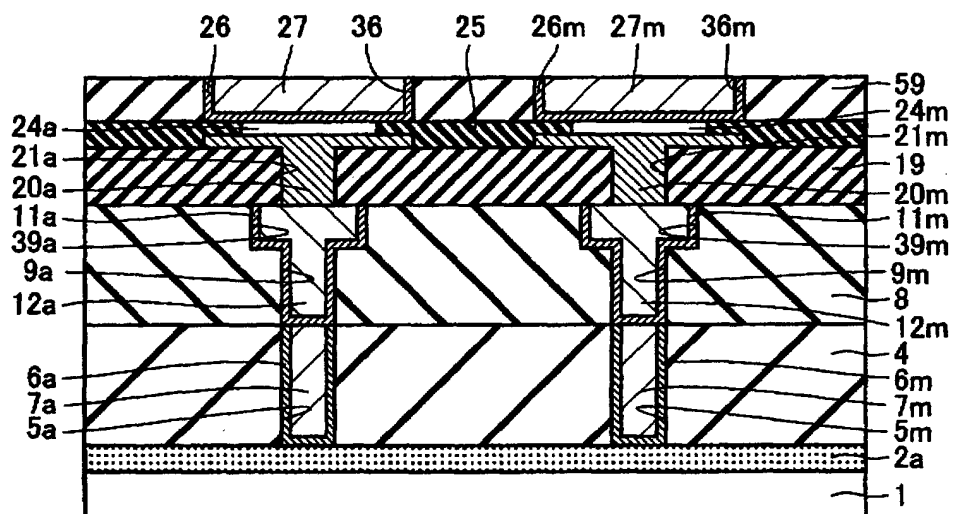
【図30】



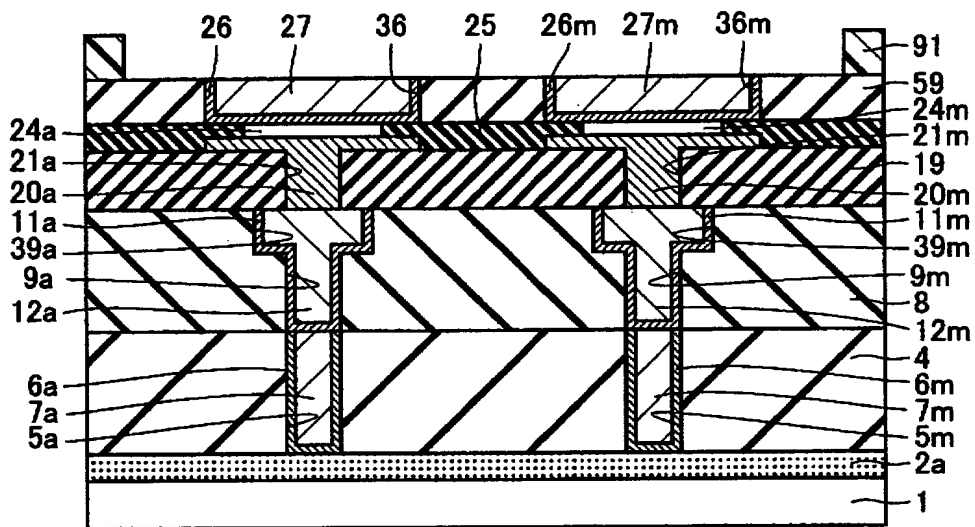
【図 3 1】



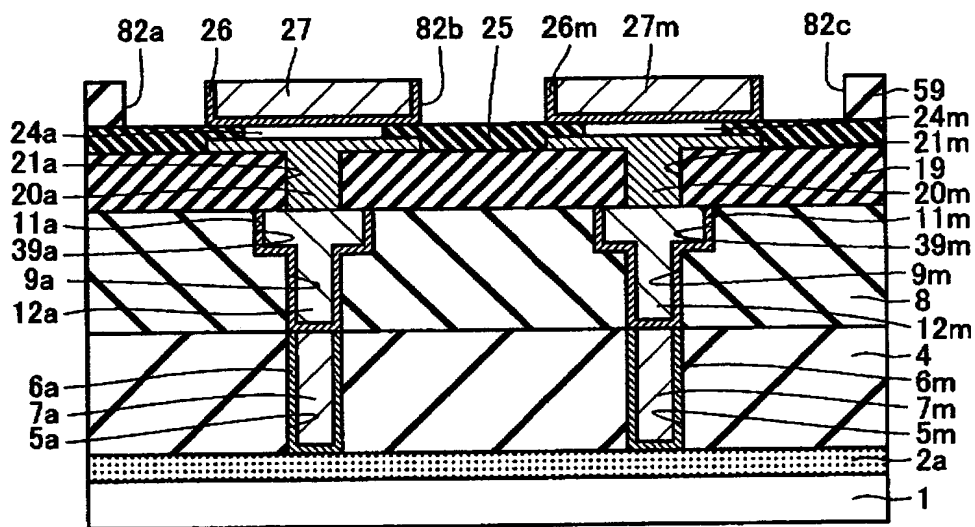
【図 3 2】



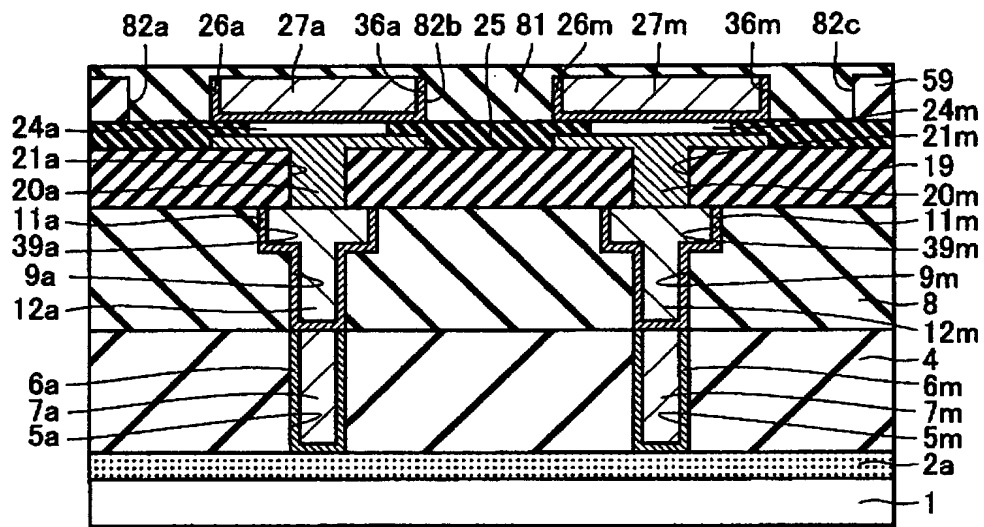
【図 3 3】



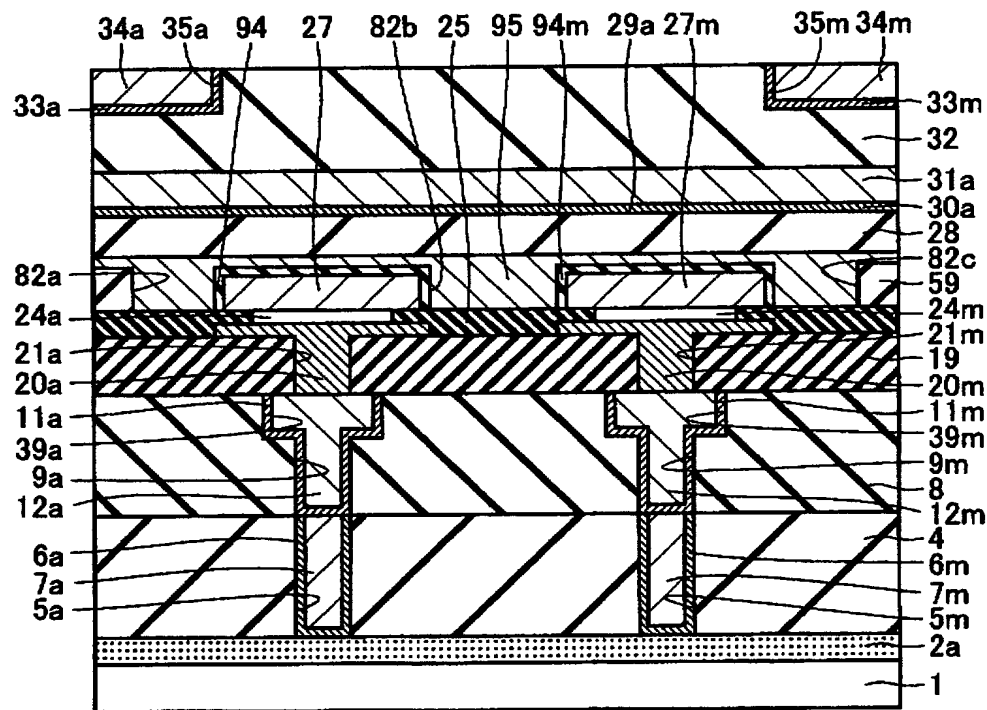
【図 3 4】



【図 3 5】



【図 3 6】



【書類名】 要約書

【要約】

【課題】 隣接するメモリセル間で発生するクロストークを抑制するとともに、配線抵抗が増大することのない薄膜磁性体記憶装置を提供する。

【解決手段】 薄膜磁性体記憶装置は、シリコン基板 1 の主表面 1 a 上で所定の間隔を隔てて設けられ、メモリ素子として動作する TMR 素子 2 4 a および 2 4 b と、TMR 素子 2 4 a と交差するように一方向に延在し、TMR 素子 2 4 a に磁場を印加するための導電体膜 1 7 a およびバリアメタル膜 1 8 a から構成される第 1 のディジット線と、TMR 素子 2 4 b と交差するように第 1 のディジット線と平行に延在し、TMR 素子 2 4 b に磁場を印加するための導電体膜 1 7 b およびバリアメタル膜 1 8 b から構成される第 2 のディジット線と、第 1 のディジット線から第 2 のディジット線までの間を充填し、かつ第 1 および第 2 のディジット線と接触するように設けられた磁性体膜 1 5 b とを備える。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社